

REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE
Ministère de l'Enseignement Supérieur et de la Recherche Scientifique
UNIVERSITE Larbi Tèbessi-Tébessa-
Faculté des Sciences Exactes Et Sciences de la Nature et de La Vie
Département Sciences de la Matière



Mémoire Master

domaine : Sciences de la Matière
Filière : Physique
Option : Physique de la matière condensée

Thème

Modélisation et Simulation d'une cellule mémoire EEPROM par TCAD_Silvaco

Présenté Par :
GHARAIBIA Farida
et
KENNAZ Nadjoua

Devant le jury :

Président :	T. Ziar	M.C.A	Université Larbi Tèbessi-Tébessa
Rapporteur :	N. Rouag	M.C.A	Université Larbi Tèbessi-Tébessa
Examineurs :	M.E. Mansour	M.C.B	Université Larbi Tèbessi-Tébessa

Date de soutenance : 15/09/2020
Note : Mention :

ملخص

تعد محاكاة خصائص EEPROM أمرًا أساسيًا لتصميم وتحسين تصنيع الذاكرة غير المتطايرة منخفضة الطاقة.

يتم تقديم محاكاة المراحل المختلفة لمحاكاة بواسطة البرنامج (TCAD) لتصنيع المركب (لترانزستور MOS ذي البوابة العائمة المستخدم عادةً في خلايا EEPROM بذاكرة غير متطايرة قابلة للمسح كهربائيًا).

من أجل فهم آليات نقل الشحنة لأجهزة MOS ، سمح المحاكى (TCAD) بمحاكاة ودراسة الخصائص الكهربائية وهي السعة والجهد (C-V) والخصائص بما في ذلك الجهد الحالي (I-V) لمركبات MOS. بشكل أساسي.

Abstract :

The simulation of EEPROM memory characteristics is fundamental to the design and optimization of low-power non-volatile memory products.

The different steps simulation with simulator (TCAD) of the floating-gate MOS transistor used usually in electrical erasable non-volatile memory EEPROM cell is presented.

In order to understand the mechanisms of transport of charge for MOS devices, the Simulator (TCAD) allowed a simulation and studies of the electrical properties namely capacity-voltage (C-V) and the namely characteristics currents-voltage (I-V) of the MOS structures. Mainly, the extraction of Fowler-Nordheim parameters in a thin (polysilicon-gate) SiO_2 oxide is presented.

Résumé :

La simulation des caractéristiques de la mémoire EEPROM est fondamentale pour la conception et l'optimisation de produits de mémoire non volatile de faible puissance.

La simulation des différentes étapes avec simulateur (TCAD) du transistor MOS à grille flottante utilisé habituellement dans les cellules EEPROM à mémoire non volatile effaçable électrique est présentée.

Afin de comprendre les mécanismes de transport de charge pour les dispositifs MOS, le Simulateur (TCAD) a permis une simulation et des études des propriétés électriques à savoir capacité-tension (C-V) et les caractéristiques notamment courants-tension (I-V) des structures MOS. Principalement, l'extraction des paramètres de Fowler-Nordheim dans un oxyde mince (polysilicium) SiO_2 est présentée.

REMERCIEMENTS

Avant tout, je remercie DIEU qui ma aidé à terminer ce modeste travail.

J'exprime mes chaleureux remerciements à Monsieur NOUARI ROUAG ,maître conférences à l'université de Tébessa , de m'avoir accueilli et encadré tout au long de ce travail, et je lui exprime toute ma reconnaissance pour ses encouragements, ses qualités humaines et sa disponibilité.

Je remercie sincèrement Monsieur Ziar Toufik , maître conférences à l'université de tébessa, pour l'honneur qu'il m'a accordé en acceptant de présider le jury de soutenance.

Je tiens à exprimer ma respectueuse gratitude à Monsieur MANSOUR Mohamed-Elhadi, maître assistant à l'université de Tébessa, de me faire l'honneur d'examiner mon travail.

DÉDICACE

Tous les mots ne sauraient exprimer la gratitude, le respect, la reconnaissance, c'est tous simplement que Je dédie cette mémoire de Master à :

A nos parents.

A nos frères.

A nos familles.

A nos amis.

A nos professeurs.



TABLE DES FIGURES

I.1	Classification des différentes mémoires à semi-conducteurs	4
I.2	Cellule mémoire DRAM dynamique à un transistor	5
I.3	(a) mémoire volatile et en (b) une mémoire non volatile NOVRAM . . .	7
I.4	A gauche structure d'une cellule et a droite une EPROM 32 KB, STMicroelectronics M27C256B	8
I.5	Cellule mémoire EEPROM montrant le transistor d'état en série avec le transistor de sélection	9
I.6	Structures des mémoires EEPROM et Flash	10
I.7	Différents types de courants dans l'oxyde d'un transistor [9].	13
I.8	Principe de mesure de la capacité MOS	15
I.9	Capacité Normalisé de la capacité MOS	16
II.1	Processus de fabrication d'une capacité MOS	22
II.2	Entrées et Sorties dans l'environnement Atlas[17]	24
II.3	L-outil Deckbuild	24
II.4	L'ordre des commandes ATLAS[17]	25
II.5	Structure MOSFET à canal N après l'opération de l'oxydation	28
II.6	Structure MOSFET à canal N après implantation du bore	28
II.7	Structure MOSFET après oxydation des puits (well oxidation)	29
II.8	Structure MOSFET après well drive-in	30
II.9	Structure MOSFET après croissance de l'oxyde de la grille	32
II.10	Structure MOSFET à canal N après implantation de réglage de tension de seuil	33
II.11	Structure MOSFET après croissance de l'oxyde du grille formation . . .	34
II.12	Structure MOSFET à canal N après LDD implantation	35
II.13	Structure MOSFET à canal N après forte dopage de la source N du drain	36

II.14 Structure MOSFET à canal N après décapage de l'aluminium (Al)	37
II.15 Structure MOSFET à canal N après définition de l'électrode	38
III.1 Schéma d'une structure à grille flottante	41
III.2 Structure d'une mémoire EEPROM montrant le maillage	44
III.3 La caractéristique (I_g - V_g) simulé par Silvaco TCAD en comparaison avec celle simulé avec les paramètres de la référence[20]	47
III.4 La caractéristique (C_g - V_g) simulé par Silvaco TCAD en comparaison avec celle simulé avec les paramètres de la référence[20]	47

TABLE DES MATIÈRES

Table des figures	i
I Généralités sur les mémoires EEPROM à base MOS	3
I.1. Introduction	3
I.2. Les mémoires à Semi-conducteurs	4
I.2.1. Mémoires volatiles	5
I.2.1.1. SRAM	5
I.2.1.2. DRAM	5
I.2.2. Mémoires non volatiles	6
I.2.2.1. NOVRAM	6
I.2.2.2. ROM	7
I.2.2.3. EPROM	7
I.2.2.4. EEPROM	8
I.2.2.5. FLASH EEPROM	9
I.3. Mémoire EEPROM	9
I.3.1. Structure de la cellule mémoire EEPROM	9
I.4. Principe de fonctionnement	10
I.4.1. Architecture des matrices mémoires EEPROM	11
I.5. Conduction électronique de Fowler Nordheim (FN) dans les mémoires EEPROM	12
I.5.0.0.1 Conduction Fowler Nordheim	13
I.6. La capacité MOS : Mesures des capacités	14
II Simulateur TCAD, Étapes de simulation d'une capacité MOS	19
II.1. Introduction	19
II.2. Technologie des mémoires non volatiles	19

II.3. Méthode de réalisation d'une capacité MOS par le simulateur TCAD . . .	21
II.3.1. La simulation des composants semi conducteurs	23
II.3.2. Le simulateur TCAD (Technologie Computer Aided Design) de Silvaco (Environnement Athena)	23
II.3.3. Mode d'opération d'ATLAS :	25
II.4. Étapes de simulation d'un transistor MOSFET	25
II.4.1. Spécification de la structure	26
II.4.1.1. Spécification de maillage	26
II.4.1.2. Spécification du type de substrat	27
II.4.2. Spécification de formation des puits P (P well formation)	27
II.4.3. Structure MOSFET après oxydation des puits (well oxidation) . .	29
II.4.4. Structure MOSFET après well drive-in	30
II.4.5. Structure MOSFET après croissance de l'oxyde de la grille	31
II.4.6. Structure MOSFET à canal N après implantation de réglage de tension de seuil	31
II.4.7. Structure MOSFET après croissance de l'oxyde du grille formation	31
II.4.8. Structure MOSFET à canal N après LDD implantation	34
II.4.9. Structure MOSFET à canal N après forte dopage de la source N du drain	35
II.4.10. Structure MOSFET à canal N après décapage de l'aluminium (Al)	36
II.4.11. Structure MOSFET à canal N après définition de l'électrode . . .	37
 III Simulation d'une mémoire EEPROM	 40
III.1. Introduction	40
III.2. Simulation par TCAD d'une mémoire EEPROM	40
III.3. Simulation des caractéristiques (I_g - v_g) et (C_g - V_g)	45
 Bibliographie	 49

INTRODUCTION GÉNÉRALE

Parmi tous les composants produits en microélectronique, les dispositifs mémoires EEPROM à base MOS occupent une place fondamentale. Il s'agit de composants à semiconducteur utilisés principalement dans deux domaines. Ils servent pour contrôler le niveau de courant dans les moteurs électriques, les équipements électroniques et les voitures. D'autre part, ils régulent et stockent de la puissance dans les équipements électroniques portables.

Afin de produire des composants de puissance de plus en plus petits, à basse consommation et à bas coût. La modélisation et la simulation des dispositifs et composants électroniques est un outil très important dans la recherche scientifique. Le théoricien établira des modèles destinés à expliquer le comportement des structures puis simule leurs fonctionnements.

Les logiciels de simulation simulent le comportement électrique de la structure microélectronique mettant en jeu la géométrie, et les paramètres microscopiques (simulation 2D et 3D) et les mécanismes de conduction.

Parmi ces logiciels de simulation, le simulateur TCAD développé par le groupe SILVACO est un logiciel de simulation des composants qui est capable de prédire les caractéristiques électriques de la plupart des composants semi-conducteurs en régime continu, transitoire ou fréquentiel. En plus il fournit des informations sur la distribution interne de variables telles que les concentrations des porteurs, le champ électrique ou le potentiel, etc.

Notre travail consiste à simuler les caractéristiques courant-tension (I-V) et les caractéristiques capacité-tension (C-V) dans la mémoires EEPROM à base MOS, tout d'abord en comprenant la physique de ces structures puis étudiant son comportement électrique.

Ce travail est constitué de trois chapitres : Dans le premier chapitre, on expose un rappel général sur les mémoires EEPROM à base MOS, une description des différentes mémoires non-volatiles. nous présentons une classification des mémoires à semi-conducteurs disponibles sur le marché.

Le deuxième chapitre est consacré en présenter le simulateur TCAD puis donner une illustration des différentes étapes du code de simulation d'un transistor MOSFET qui est la base d'une mémoire EEPROM.

Le troisième chapitre est consacré à la discussion du code de simulation TCAD d'un transistor MOS à grille flottante utilisé comme cellule EEPROM. On étudie ainsi que les propriétés électrique à savoir la caractéristique courant-tension (I-V) et les caractéristiques capacité-tension(C-V) pour cette structure EEPROM. Enfin, nous terminerons par une conclusion générale et des perspectives.

CHAPITRE I

GÉNÉRALITÉS SUR LES MÉMOIRES EEPROM À BASE MOS

I.1. Introduction

Ce premier chapitre est consacré à une description des différentes mémoires non-volatiles. Dans un premier temps, nous présentons une classification des mémoires à semi-conducteurs disponibles sur le marché. Les mémoires volatiles (SRAM, DRAM) sont traitées rapidement tandis que les mémoires non-volatiles EEPROM sont décrites en détail. Nous nous attachons notamment à comparer les différentes mémoires non-volatiles sur plusieurs critères de fonctionnalités. Cette démarche s'inspire du fait que d'importants efforts sont actuellement déployés pour mettre au point une mémoire qui serait non-volatile, bas coût, effaçable et programmable rapidement, avoir une endurance et une rétention infinies, de faibles dimensions et enfin compatible avec les technologies (CMOS) existantes. Actuellement, les mémoires disponibles sur le marché remplissent tout ou partie de ces critères de manière plus ou moins satisfaisante. Après cette comparaison, nous décrivons la technologie des différentes mémoires non-volatiles puis le fonctionnement d'une cellule EEPROM

I.2. Les mémoires à Semi-conducteurs

Divers types de mémoires sont apparus depuis l'invention du premier circuit intégré monolithique par Jack Kilby chez Texas Instruments en 1958. Cette diversité (fig.(I.1)) s'explique par une grande variété de besoins. En effet, chaque système requiert un type de mémoire aux performances précises (durée de rétention de l'information, tension d'alimentation, consommation, vitesse d'écriture, vitesse de lecture et dimensions)[1].

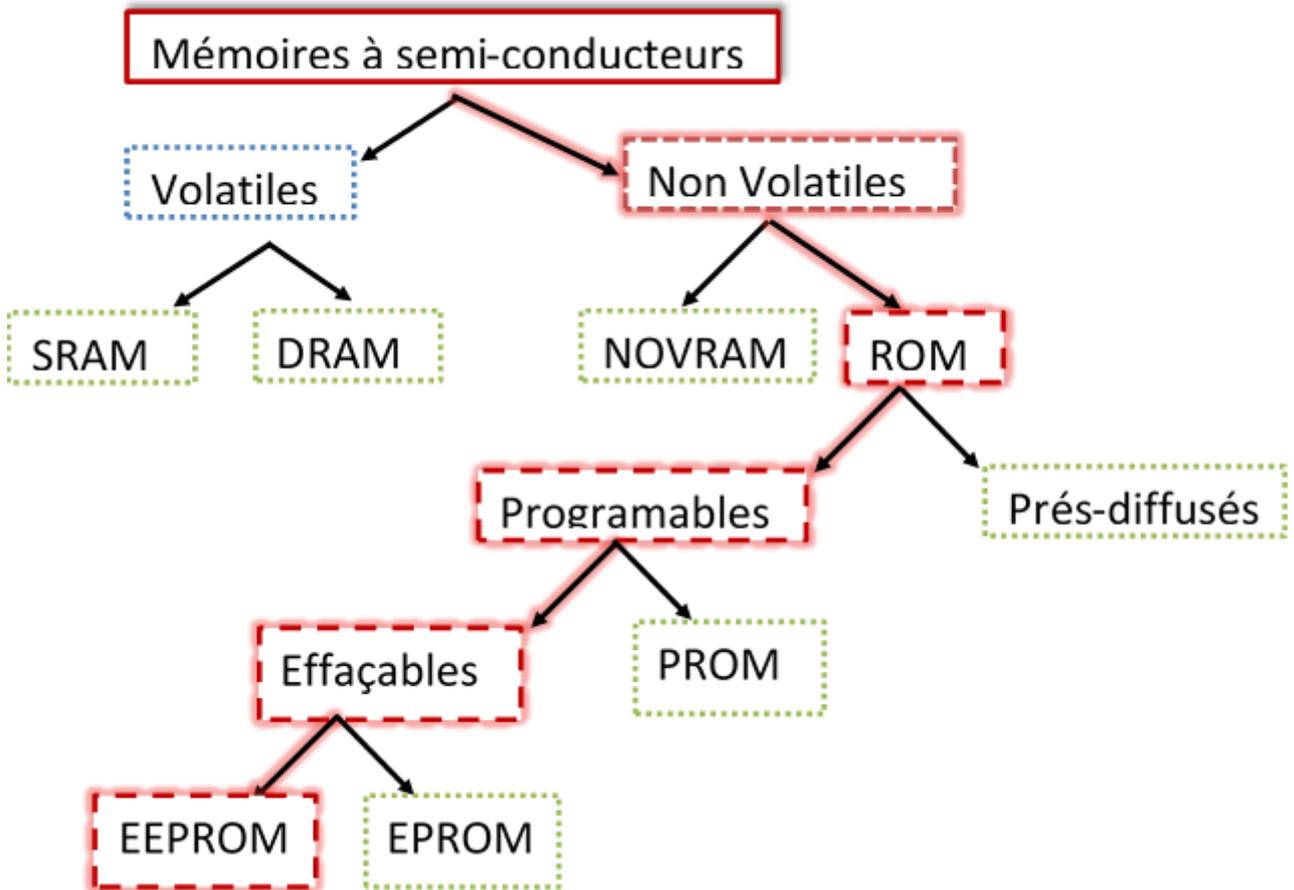


Figure I.1 – Classification des différentes mémoires à semi-conducteurs

Les mémoires à semi-conducteur peuvent être fabriquées soit en technologie bipolaire, soit en technologie MOS. La technologie MOS offre l'avantage d'une forte densité d'intégration, et de meilleurs comportements électriques, les mémoires bipolaires sont cependant plus rapides.

Dans cette partie, on va étudier que les mémoires en technologies MOS [2].

Généralement, Il existe deux grandes familles de mémoires à semi-conducteurs [3] : les mémoires volatiles appelées également RAM (Random Access Memories) et les

mémoires non-volatiles[1].

I.2.1. Mémoires volatiles

Les mémoires volatiles, comme leur nom l'indique, perdent l'information en l'absence d'alimentation électrique [1]. représentées le plus souvent par les mémoires SRAM (Static Random Access Memory) et DRAM (Dynamic Random Access Memory) [3].

I.2.1.1. SRAM

La SRAM est la plus rapide de toutes les mémoires à semi-conducteurs, mais son coût est plus élevé. Elle retient les données aussi longtemps que l'alimentation électrique est maintenue et n'exige pas de rafraîchissements à intervalles réguliers. La SRAM est utilisée surtout dans les mémoires cache des ordinateurs [1]. La RAM statique peut être réalisée en technologie bipolaire ou MOS [3].

I.2.1.2. DRAM

La cellule mémoire peut être réalisée, comme le montre la figure(I.2), à partir d'un seul transistor NMOS assurant la sélection et d'un condensateur servant à la mémorisation.

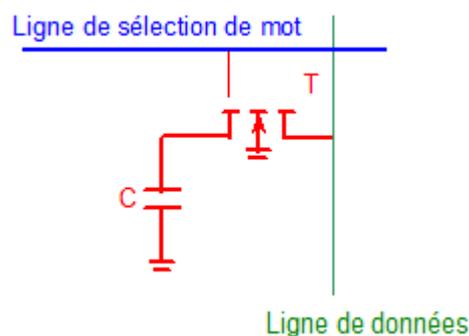


Figure I.2 – Cellule mémoire DRAM dynamique à un transistor

La cellule mémoire est activée par l'application d'un niveau haut sur la ligne de sélection de mot, le transistor est passant, et la capacité C'est alors connectée à la ligne de donnée pour effectuer les opérations d'écriture ou de lecture. Pour l'écriture d'un "1",

la ligne de donnée est portée à un niveau haut pour charger C à son potentiel, par contre pour l'écriture d'un "0", la ligne de données est portée à l'état bas et décharge la capacité C.

Pour lire le contenu de la cellule mémoire, on recueille sur la ligne de donnée la tension aux bornes du condensateur. Selon que la capacité C est chargée ou non, elle caractérise l'information "1" ou "0".

L'inconvénient majeur de ce type de mémoire vient de l'inévitable décharge progressive de C, qui ne peut être conservée au-delà de quelques millisecondes à cause des courants de fuite. Pour pallier cette perte de l'information, il faut la régénérer constamment, c'est l'opération rafraîchissement de la mémoire [4].

I.2.2. Mémoires non volatiles

Contrairement des mémoires volatiles,[1], les mémoires non volatiles ont la capacité de garder l'information de manière continue (jusqu'à des durées spécifiques pouvant dépasser 10 ans), et ce, même en l'absence d'alimentation électrique. [3]

Généralement, les mémoires non-volatiles sont considérées selon trois critères qui sont : les limitations imposées par la technologie, les besoins des utilisateurs et enfin les contraintes économiques. On peut classer les mémoires non-volatiles en deux catégories principales : les mémoires non-volatiles de type ROM (Read Only Memory) et les mémoires non volatiles de type NOVRAM. [1]

I.2.2.1. NOVRAM

La **NOVRAM** (Non Volatile RAM) allie dans la même structure la non volatilité des **EEPROM** (Electrically Erasable and Programmable Read Only Memory) et la très grande vitesse d'écriture et de lecture des **SRAM**. Le fonctionnement de cette structure peut être décrite simplement à l'aide d'un exemple. Dans un ordinateur, le CPU (Central Processing Unit) lit et écrit les données dans la SRAM en fonctionnement normal. Lorsque la SRAM détecte un début de coupure d'alimentation, des circuits spéciaux copient rapidement (en quelques millisecondes) les données de la SRAM vers l'EEPROM, empêchant ainsi la perte des données. Dès que l'alimentation est restituée, les données

sont copiées dans la SRAM et le dispositif fonctionne comme s'il n'y avait eu aucune coupure d'alimentation. Toutefois, la NOVRAM offre une faible densité d'intégration en raison de la surface importante occupée par la cellule SRAM et la cellule EEPROM. La figure(I.3) b représente un exemple de NOVRAM cependant en (a) on représente une mémoire volatile.

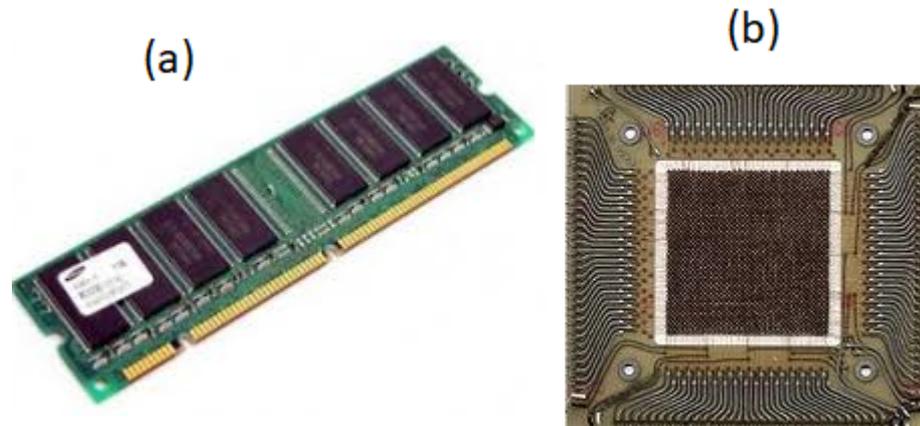


Figure I.3 – (a) mémoire volatile et en (b) une mémoire non volatile NOVRAM

I.2.2.2. ROM

La mémoire morte ou ROM "Read Only Memory" est une mémoire qui ne s'efface pas lorsque l'appareil qui la contient n'est plus alimenté en électricité. Les ROM se subdivisent en deux catégories : les ROM pré-diffusées et les ROM programmables, ces dernières pouvant être effaçables par la suite ou non. Elle est programmée soit lors de la fabrication (activation ou non de transistors par masquage), soit par l'utilisateur avec des structures à base diffusibles. [1]. Ce type de mémoire est très coûteux et ne convient qu'à des applications de très grande série [4]. Elle sert par exemple de support au jeu d'instruction des microprocesseurs.

I.2.2.3. EPROM

Une mémoire EPROM (Electrically Programmable Read Only Memory) est écrite électriquement mais peut être effacée avec des rayons ultraviolets. Quant à la phase d'effacement, elle nécessite plus de 20 minutes d'exposition aux rayons ultraviolets [5].

Une cellule EPROM (figure I.4) est constituée d'un transistor NMOS double grille : une grille de contrôle (CG poly2) qui permet d'appliquer les tensions de lecture et de programmation de la cellule, et une grille flottante (FG poly1) qui stocke l'information mémoire sous la forme d'une concentration d'électrons. Cette grille est dite flottante car elle est totalement isolée de la structure par une couche ONO (Oxyde-Nitride-Oxyde) qui la sépare de la grille de contrôle et par un oxyde de grille d'épaisseur $> 15\text{nm}$ qui la sépare du canal.

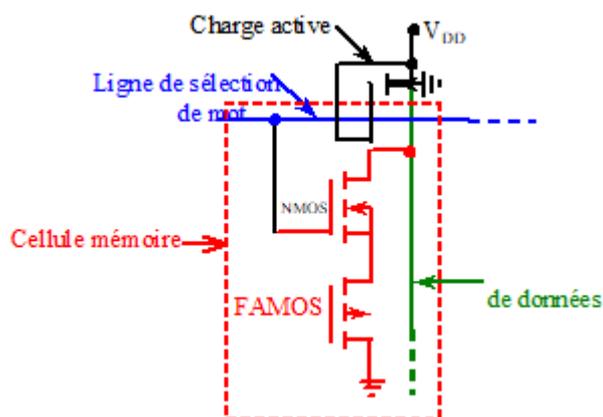


Figure I.4 – À gauche structure d'une cellule et à droite une EPROM 32 KB, STMicroelectronics M27C256B

Une cellule EPROM standard est réalisée en technologie Stacked Gate Avalanche Injection MOS (SAMOS) présentée ci-dessus.

I.2.2.4. EEPROM

L'inconvénient majeur de la mémoire EPROM est sa durée d'effacement (20 minutes). La solution consiste à utiliser des mémoires EEPROM (Electrically Erasable and Programmable Read Only Memory) qui sont effaçables et programmables électriquement [1]. Elle garde les mêmes opérations d'écriture répétée et d'effacement, à la différence que l'opération d'effacement s'effectue par application d'une tension électrique. La Figure (I.5) montre que ce type de mémoire se compose de deux transistors. Un transistor de sélection qui permet d'adresser le point mémoire et de sélectionner le mode d'utilisation (programmation ou lecture) [6] et un transistor MOS à grille flottante appelé transistor d'état ou transistor mémoire qui permet de stocker l'information sous forme de charges électriques [7].

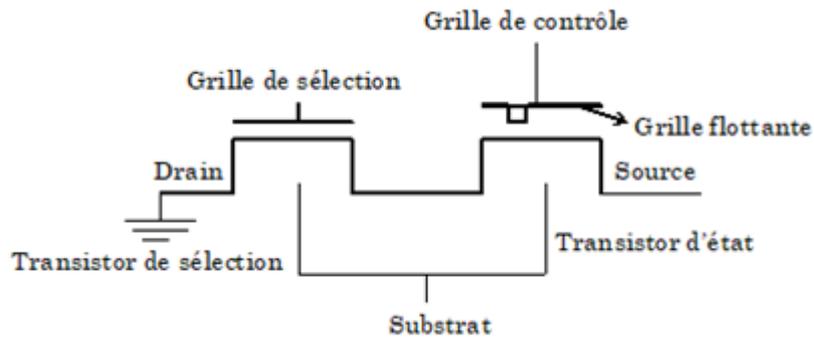


Figure I.5 – Cellule mémoire EEPROM montrant le transistor d'état en série avec le transistor de sélection

Les EEPROM sont donc peu compétitives en terme de densité d'intégration.[1]

I.2.2.5. FLASH EEPROM

La mémoire Flash EEPROM est née de la recherche d'une cellule EEPROM qui, en plus d'être effaçable électriquement, puisse également offrir une grande densité d'intégration. Se compose d'un seul transistor MOS à grille flottante écrite à l'aide d'une injection d'électrons chauds et effacée par injection Fowler- Nordheim.[1]. Depuis de nombreuses années, les mémoires Flash représentent la plus grande part du marché des mémoires non volatiles.

I.3. Mémoire EEPROM

I.3.1. Structure de la cellule mémoire EEPROM

Les mémoires EEPROM et flash (figure(I.6 a et b)) sont constituée de deux transistors MOS mis en série : transistor d'état et transistor de sélection. Le premier est un transistor MOS à grille flottante et le second est un transistor MOS haute tension.

Le transistor d'état contient l'information sous forme de charges stockées dans la grille flottante. Ces charges sont injectées dans la grille flottante par effet tunnel Fowler-Nordheim à travers la mince couche d'oxyde située entre la grille flottante et le drain.

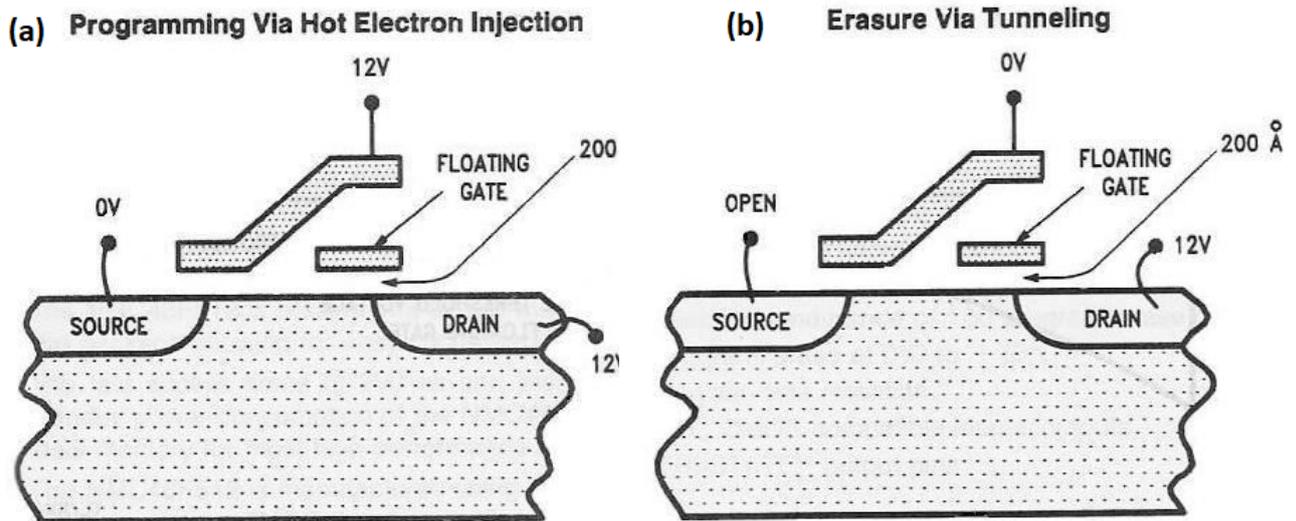


Figure I.6 – Structures des mémoires EEPROM et Flash

I.4. Principe de fonctionnement

Le fonctionnement d'une cellule mémoire EEPROM repose sur le décalage de la tension de seuil du transistor d'état, MOS à effet de champ [1]. On distingue trois états différents de la cellule : vierge, effacé et programmé. Par convention, une cellule dont la grille flottante est neutre est dite « vierge ». Une cellule dont la grille flottante est chargée positivement est dite « écrite » et à l'état logique « 1 », le transistor est passant. Une cellule dont la grille flottante est chargée négativement est dite « effacée » et à l'état logique « 0 », le transistor est bloqué. [1] L'écriture ou l'effacement de la cellule EEPROM se fait par injection de charges à travers l'oxyde tunnel. C'est une injection par courant tunnel Fowler Nordheim (FN) qui a lieu à fort champ et à travers une épaisseur d'oxyde inférieure à 10 nm [8]. Pour écrire une cellule EEPROM, il faut injecter des charges positives dans la grille flottante. Ceci est réalisé en polarisant le drain à un potentiel positif (de 12 à 14V), la grille de contrôle et le substrat étant à la masse et la source flottante (haute impédance). La grille du transistor de sélection est polarisée à un potentiel fortement positif (de 14 à 16V) afin de rendre ce transistor passant. La présence de charges positives dans la grille flottante va décaler la caractéristique $I_{ds}(V_{gs})$ du transistor d'état du côté des tensions négatives, par rapport à la caractéristique d'une cellule vierge : la tension de seuil $V_{th\text{écrit}}$ du transistor d'état d'une cellule écrite est donc inférieure à la tension de seuil $V_{th\text{vierge}}$ du transistor d'état d'une cellule vierge

[1].

Pour effacer une cellule EEPROM, il faut injecter des électrons dans la grille flottante. Il faut inverser le sens du champ électrique par rapport à la phase d'écriture tout en gardant la même intensité. On réalise cela en polarisant cette fois la grille de contrôle à un potentiel positif (de 12 à 14V), le drain et le substrat étant à la masse et la source restant flottante. La grille du transistor de sélection est polarisée à un potentiel fortement positif pour le rendre passant (de 14 à 16V). cette fois-ci, la caractéristique $I_{ds}(V_{gs})$ est décalée vers les tensions positives par rapport à celle d'une cellule vierge et la tension de seuil V_{th} effacé du transistor d'état est plus grande que celle d'une cellule vierge. représente les polarisations des électrodes d'une cellule EEPROM en phase d'écriture et en phase d'effacement ainsi que la caractéristique $I_{ds}(V_{gs})$ correspondant aux trois états (écrit, vierge et effacé). L'état logique d'une cellule EEPROM est lue en forçant un courant de référence dans le canal du transistor d'état. On lit ensuite la tension de grille de contrôle correspondante. On compare cette tension à deux tensions de référence haute ($V_{ref,haute}$) et basse ($V_{ref,basse}$) : si la tension obtenue est supérieure à la tension de référence haute, la cellule est reconnue comme étant effacée et correspond à l'état logique « 0 ». A l'opposé, si la tension obtenue est inférieure à la tension de référence basse, la cellule est reconnue comme étant écrite et correspond à l'état logique « 1 ». montre les deux cas. [1]

I.4.1. Architecture des matrices mémoires EEPROM

Une cellule EEPROM, constituée de deux transistors MOS en série (transistor d'accès ou de sélection et transistor de stockage ou d'état), est reliée au reste du plan mémoire par quatre électrodes : la ligne de mots (WL), la ligne de contrôle (WS), la ligne de bits (BL) et la ligne de source (SL). Le transistor d'accès agit comme un interrupteur placé entre le drain du transistor de stockage et la ligne de bits BL. Ainsi, le drain du transistor de sélection est connecté à la ligne de bit et sa source est connectée au drain du transistor d'état. Sa grille est commandée par la ligne de mots WL, alors que celle du transistor de stockage est commandée par la ligne de contrôle WS. Enfin, le substrat des deux transistors et la source du transistor d'état sont reliés à la masse (dans certaines

technologies, la source du transistor d'état peut également rester flottante via un autre transistor).

Une matrice EEPROM est organisée suivant m lignes (WL) et n colonnes (BL) de cellules mémoires. Il y a un point mémoire à chaque n'ud (intersection d'une ligne et d'une colonne). Du fait de la présence du transistor d'accès dans chaque cellule, l'architecture d'une matrice EEPROM ne peut être que de type NOR (contact de BL spécifique à chaque cellule et source commune). Une matrice mémoire EEPROM comporte donc $m \times n$ points mémoires. Les points mémoires qui se trouvent sur une même rangée forment un mot de n bits, auquel s'ajoute un transistor de sélection de mot. [1]

I.5. Conduction électronique de Fowler Nordheim (FN) dans les mémoires EEPROM

Comme les mémoires EEPROM sont à la base des structures MOS, le courant de grille en couche d'oxydes peut être dû à différents mécanismes de conduction électronique. Ces mécanismes peuvent être intrinsèque ou extrinsèque (injectés à partir la grille ou le substrat). Dans le premier cas, la conduction est de type ohmique avec résistivité élevée. Le courant ohmique est toujours mentionné en tant que courant de fuite. Dans ce dernier, les électrons peuvent voyager librement à l'intérieur de la couche d'oxyde (effet Schottky, effet tunnel directe ou effet tunnel Fowler-Nordheim), ou leurs transport peuvent être associés avec des pièges (effet Poole-Frenkel, la conduction part saut à travers les pièges ou dans la charge d'espace limité). Les différents types de conduction électronique pour un dispositif MOS sont illustré sur la Figure(I.7) [9].

- Ⓐ Conduction par effet Schottky (Émission thermoïonique).
- Ⓑ Conduction par effet tunnel direct.
- Ⓒ Conduction par effet Fowler-Nordheim.
- Ⓓ Conduction de Poole-Frenkel.
- Ⓔ Conduction par saut de charge (Hopping Conduction).
- Ⓕ Courant dans l'espace de charge limité.

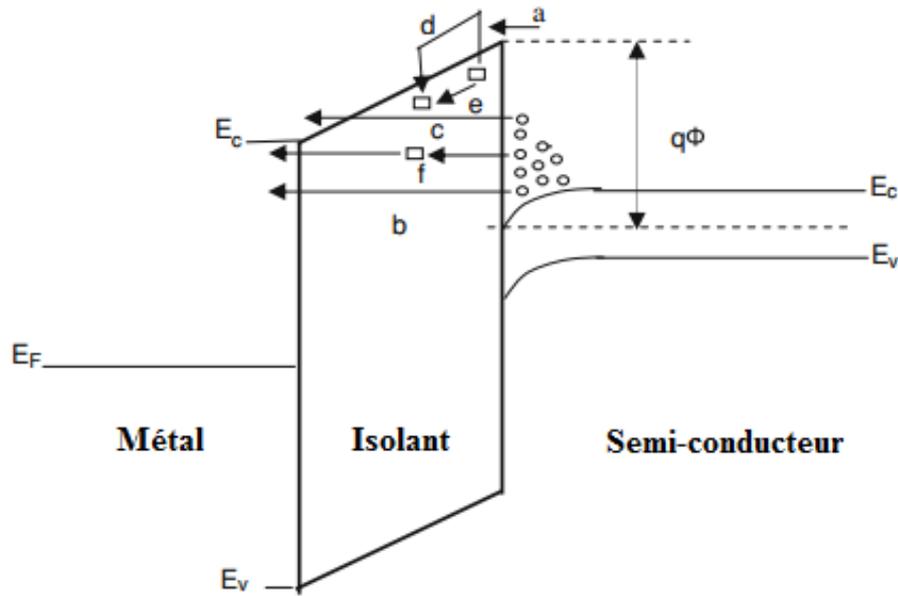


Figure I.7 – Différents types de courants dans l'oxyde d'un transistor [9].

I.5.0.0..1 Conduction Fowler Nordheim Lors d'une émission Fowler-Nordheim (cas (c) figure I.7, la densité du courant dépend à la fois du nombre des électrons capables de traverser la barrière triangulaire de l'oxyde et du coefficient de transmission tunnel. Cette densité de courant peut être calculée en supposant que les électrons de l'électrode émettrice peuvent être décrits par un gaz de Fermi à trois dimensions. En considérant l'approche classique, l'expression du courant est donnée par [10, 11] :

$$J_{FN} = \frac{4\pi m_{sc} kT}{h^3} \int_0^{\phi} \ln \left(1 + \exp \left(\frac{E_F - E}{kT} \right) \right) \exp \left(-\frac{4\sqrt{2m_{ox}}(\phi - E)^{3/2}}{F_{ox}} \right) dE \quad (I.1)$$

Où m_{sc} est la masse effective du semi-conducteur dans le plan normal à celui de l'interface, E_F l'énergie de Fermi F_{ox} le champ électrique à travers l'oxyde et $(\phi - E)^{3/2} = \phi_{FN}^{3/2}$ la hauteur de barrière entre la bande de conduction de l'oxyde et du métal à l'interface.

Dans l'approximation basse température, en dérivant l'expression (I.1) et en utilisant le développement de Taylor autour de l'énergie de Fermi E_F , on obtient la forme

simplifiée connue [12] :

$$J_{FN} = \frac{q^2 m_{si} F_{ox}^2}{8\pi\hbar (q\phi - E_F) m_{ox}} \exp\left(\frac{-4\sqrt{2m_{ox}}}{3\hbar q F_{ox}} [(q - E_F)^{3/2}]\right) \quad (I.2)$$

L'expression utilisé du courant de Fowler Nordheim (FN), est l'expression connue en fonction du champs électrique [13, 14] :

$$I_{FN} = S A_{FN} F^2 \exp\left(-\frac{B_{FN}}{F}\right) \quad (I.3)$$

S représente la surface, F le champs électrique et A_{FN} et B_{FN} les paramètres du courant de Fowler de Nordheim qui sont de la barrière tunnel ϕ_b as :

$$A_{FN} = \frac{m}{m^*} \frac{q^2}{8\pi\hbar\phi_b} \quad (I.4)$$

et

$$B_{FN} = \frac{8\pi}{3} \left(2\frac{m^*}{\hbar^2}\right) \frac{\phi_b^{3/2}}{q}$$

Où m et m^* représentent respectivement la masses et la masse effective de l'électron dans l'oxyde et F représente le champ électrique appliqué.

I.6. La capacité MOS : Mesures des capacités

Pour des mesures en accumulation, en désertion et en inversion basse fréquence, la figure(I.8) de principe CAPACITÉ MESURÉE illustre le comportement de la capacité de l'ensemble de la structure MOS. Dans le cas le plus général, nous avons montré que la capacité de l'ensemble de la structure MOS, capacité qui serait mesurée de l'extérieur, est équivalente à celle de l'oxyde et du SC placés en série.

Dans le cas le plus général, nous avons montré que la capacité de l'ensemble de la structure MOS, capacité qui serait mesurée de l'extérieur, est équivalente à celle de l'oxyde et du SC placés en série.

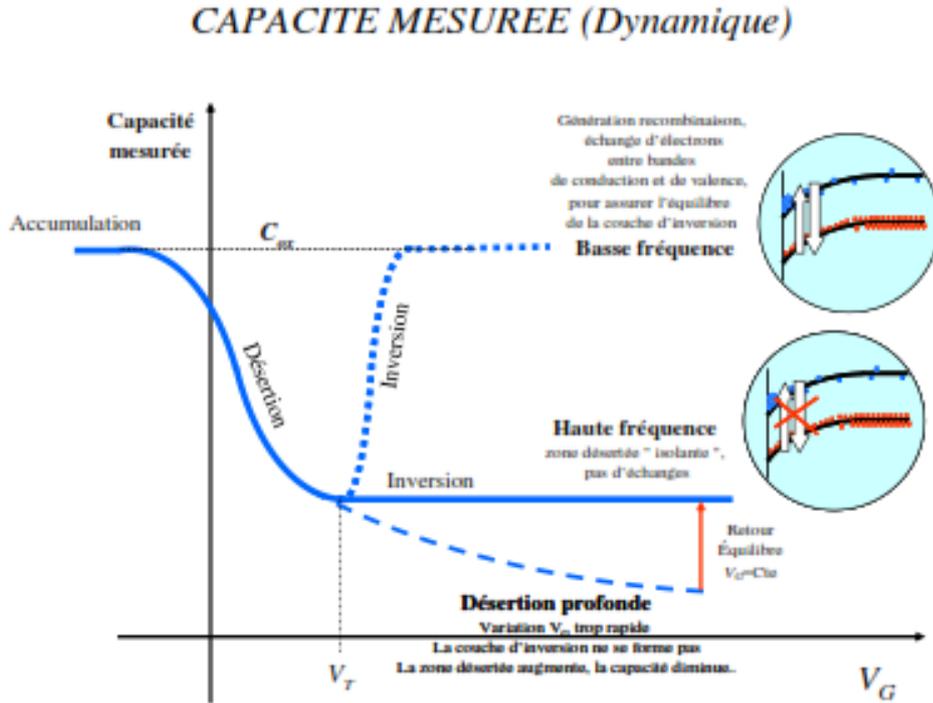


Figure I.8 – Principe de mesure de la capacité MOS

$$\frac{1}{C} = \frac{1}{C_{ox}} + \frac{1}{C_{sc}} \tag{I.5}$$

Elle est minimum en désertion juste avant l'inversion, et se rapproche de celle de l'oxyde en accumulation et inversion puisque les pentes des exponentielles deviennent très grandes. Nous préciserons plus loin l'écart entre la capacité de la structure et celle de l'oxyde.

Il faut noter que la courbe basse fréquence est impossible à mesurer sur les bons matériaux actuels car il faudrait des fréquences de mesure très largement inférieures au Hz, à moins de chauffer ou d'éclairer le SC.

Dans les conditions habituelles de mesure, juste après l'application de la polarisation, pour $V_G > V_T$ le matériau se trouvera en désertion profonde figure(I.9). La capacité rejoindra alors progressivement la courbe haute fréquence, et jamais la courbe basse fréquence : en effet, si la G T couche d'inversion n'est pas en équilibre avec la polarisation V , elle suit encore moins le signal alternatif de mesure qui lui est superposé, beaucoup

plus rapide, et elle ne peut donc que rejoindre la courbe haute fréquence.

CAPACITE NORMALISEE (Dynamique)

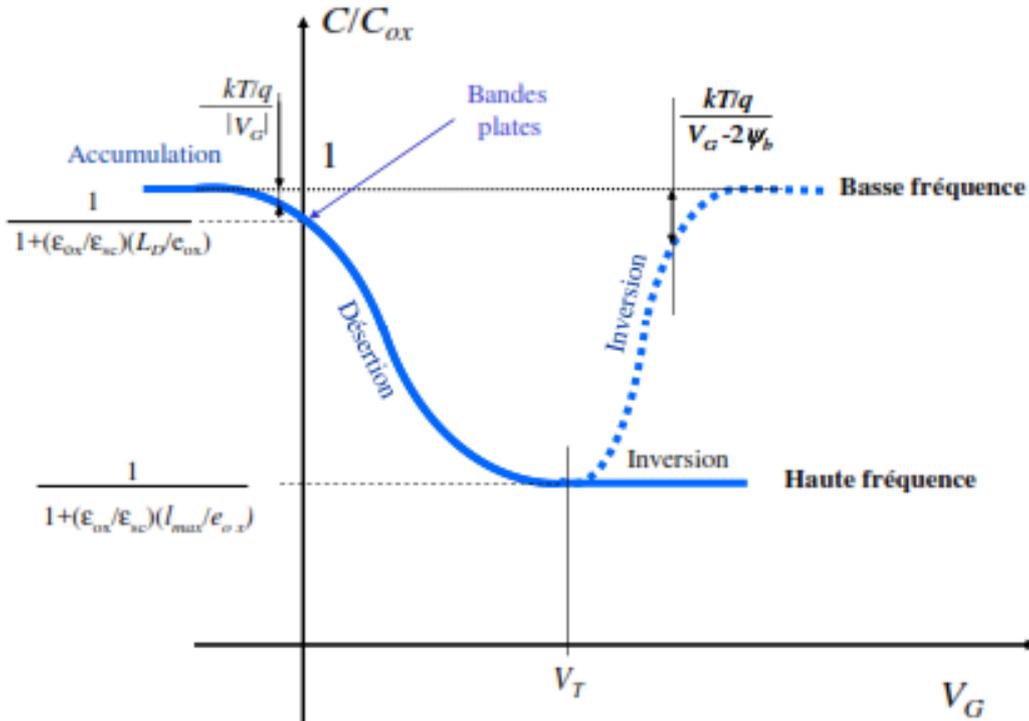


Figure I.9 – Capacité Normalisé de la capacité MOS

Sur un transistor MOS c'est la capacité basse fréquence que l'on mesure car les porteurs libres nécessaires à la couche d'inversion sont très rapidement acheminés depuis les zones de source et de drain.

La figure capacité normalisée donne les principales caractéristiques du rapport C/C_{ox} . La capacité de bande plate, pour $\psi_s = 0$ présente un intérêt particulier, elle est telle que :

$$\frac{1}{C} = \frac{1}{C_{ox}} + \frac{L_p}{S\epsilon_{sc}} \tag{I.6}$$

Mesure des capacités

① Capacité dynamique :

La capacité dynamique $C = \frac{dQ}{dV}$ est souvent mesurée en appliquant une tension

harmonique $V = V_0 + v_0 e^{j\omega t}$ ce qui implique $dV = j\omega v_0 e^{j\omega t} dt$ d'où la capacité :

$$C = \frac{dQ/dt}{j\omega e^{j\omega t}} = \frac{I}{j\omega e^{j\omega t}} \quad (I.7)$$

Pour une capacité linéaire, ou non linéaire avec de faibles amplitudes en tension, la charge est elle aussi harmonique, et en phase avec la tension appliquée ; donc le courant (sa dérivée/temps) est en quadrature ($I = I_0 e^{j\omega t}$) d'où l'expression bien connue de l'impédance d'une capacité :

$$C\omega = \frac{I_0}{v_0} \quad (I.8)$$

ⓑ Capacité quasistatique :

La capacité quasistatique $C = \frac{I}{dV/dt}$ est mesurée à partir du courant qui circule lorsqu'on applique une rampe de tension. En la comparant à l'expression de la capacité dynamique : $C = \frac{I}{j\omega v_0 e^{j\omega t}}$

il s'avère que la rampe de tension joue le même rôle (et a d'ailleurs bien ωv_0 . Ceci permet d'avoir la réponse capacitive pour des "fréquences" faibles : une rampe de tension de 1V/sec "équivalent" à une fréquence de 1.5Hz sûr la même dimension) que le produit 1,5Hz pour une amplitude v_0 de 100mV.

Ⓒ **Capacité statique** : Une mesure directe de la charge Q est rarement effectuée. Nous voudrions simplement rappeler ici qu'il faut prendre beaucoup de précautions. Tout d'abord, il peut très bien y avoir des charges dans les 2 conducteurs (ou SC), sans tension appliquée, du fait de la nature différente de ces conducteurs, le cas le plus classique étant la jonction p-n. Il faut donc faire intervenir un décalage de tension.

D'autre part la notion de charge d'un conducteur n'est pas toujours évidente à préciser dans le cas où il n'y a pas d'isolant proprement dit ; dans une jonction p-n par exemple ; notamment en polarisation directe, les porteurs d'une zone envahissent la zone opposée et il est délicat d'évaluer la charge d'une armature de ce type particulier de condensateur. En fait le problème est quelque peu théorique car, en polarisation directe, la conductance

devient très élevée et la capacité non mesurable

CHAPITRE II

SIMULATEUR TCAD, ÉTAPES DE SIMULATION D'UNE CAPACITÉ MOS

II.1. Introduction

Afin de simuler la caractéristique courant-tension (I-V) et (C-V) d'une mémoire EEPROM par le simulateur Silvaco TCAD qui seront l'objet du prochain chapitre, on évoquera dans ce chapitre en premier lieu le processus de fabrication de la capacité MOS car elle entre dans la composition des éléments de type MOS, comme les transistors à effet de champ ou les capacités et les mémoires électriques tels que la mémoire EEPROM. Ensuite on présentera les étapes de simulation du transistor MOSFET.

II.2. Technologie des mémoires non volatiles

Le principe consiste à garder l'information en l'absence d'alimentation électrique [1]. Plusieurs idées ont visé à un stockage des charges au niveau de la grille flottante d'un transistor mémoire. Le nombre de charges stockées est proportionnel à la tension de seuil du transistor [15]. Par convention, cette tension de seuil peut prendre deux valeurs : un état logique « 0 » est défini comme un effacement et un état logique « 1

» comme une écriture [1]. Pour savoir l'état logique de la mémoire, une tension de grille V_g comprise entre les tensions de seuil $V_{T_{efface}}$ et $V_{T_{ecrit}}$ est appliquée pour savoir ce que la mémoire joue le rôle d'un transistor passant ou bloqué. L'état « 0 » correspond à la caractéristique ayant une tension seuil $V_{T_{efface}}$ et l'état « 1 » correspond à la caractéristique ayant une tension seuil V_T écrire [15].

En matière de stockage de charge, les technologies des mémoires non-volatiles peuvent être divisées en deux catégories [16] : La technologie à grille flottante et la technologie à piégeage de charges. On peut citer une troisième technologie non-volatile basée sur l'effet ferroélectrique ; dans ce cas, l'état effacé ou écrit est fixé par l'état de polarisation du matériau. On fixe cet état de polarisation ferroélectrique à l'aide d'un champ électrique. [1]

En ce qui concerne la technologies à grille flottante ; le fonctionnement du transistor de mémorisation à grille flottante consiste à stocker des charges électriques dans un matériau conducteur ou semi-conducteur [15] afin de faire varier la tension de seuil d'un transistor MOS [1]. Dans le cas le plus courant les charges sont injectées à travers le diélectrique, souvent constitué par un oxyde (SiO_2), situé entre la grille flottante et le canal. Une deuxième grille, appelée grille de contrôle, est placée au-dessus de la grille flottante.

Ces deux grilles sont séparées par un diélectrique, tri-couche dit ONO (Oxyde-Nitruire-Oxyde). Cet isolant est réalisé afin d'assurer un fort couplage capacitif entre les deux grilles de façon à optimiser les performances de la cellule, et de conserver une bonne isolation (faibles courants de fuite) tout en étant suffisamment fin.

Les technologies à grille flottante se distinguent par le mécanisme d'injection de charges dans la grille flottante en programmation (écriture) et en effacement. Lorsque l'on utilise une injection par électrons chauds en phase de programmation, on a une technologie SIMOS (Stacked Injection MOS). Cette technologie est utilisée dans les mémoires de type EPROM. Lorsqu'on utilise le mécanisme d'injection Fowler-Nordheim à travers une fine couche d'oxyde de 8 à 10nm d'épaisseur en effacement et en programmation, on a une technologie FLOTOX (Floating gate Thin Oxide). Cette technologie est utilisée pour les mémoires EEPROM et NOVRAM. Enfin, il existe une troisième technolo-

gie, appelée TPFPG (Textured Poly Floating Gate) dans laquelle on utilise une injection Fowler-Nordheim mais à travers une couche en poly-oxyde.

II.3. Méthode de réalisation d'une capacité MOS par le simulateur TCAD

La réalisation des composants électronique tel que la capacité MOS se déroulera en salle blanche, milieu dans lequel la chasse est faite aux poussières (classe 100 = 100 particules/ $\text{pi}ed^3 > 0,5$ microns). Afin de réaliser ces composants, sur plaques vierges de silicium on suit les étapes suivant figureII.1 :

1. Nettoyage des plaques.
2. Chargement dans four pour réalisation de l'oxyde mince.
3. (oxydation sèche 20min).
4. Mise sous vide pour métallisation Al.
5. Dépôt Al.
6. Photolithographie de l'Al.
7. Gravure humide de l'Al.
8. Enlever l'oxyde du face arrière.

Les simulations informatiques sont rapidement devenues incontournables pour la modélisation des systèmes naturels en physique, chimie et biologie, mais également des systèmes humains en économie et en science sociale. Elles permettent de limiter le risque et d'éviter le coût d'une série d'épreuves réelles (ex : essais de véhicules). Elles peuvent offrir un aperçu sur le développement d'un système trop complexe pour simuler avec de simples formules mathématiques.

Nous avons utilisé un logiciel de simulation technologique (TCAD), pour simuler les caractéristiques électriques des capacités MOS, mais il faut tout d'abord connaître quelques notions principales sur la simulation en générale et ce logiciel en particulier à l'aide des exemples illustrant le travail.

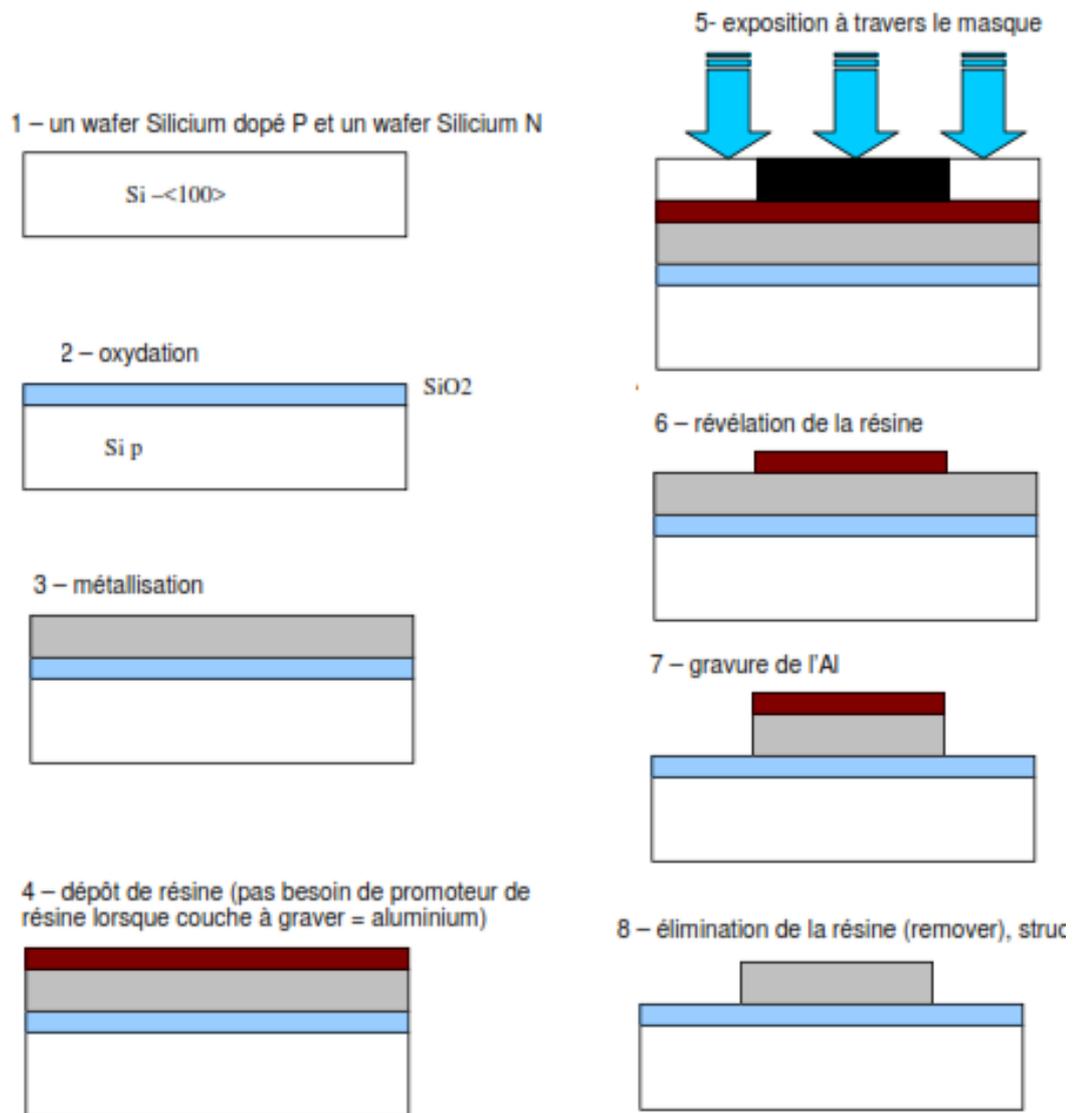


Figure II.1 – Processus de fabrication d'une capacité MOS

La première étape dans la simulation est la modélisation d'un phénomène physique.

Un modèle d'un composant physique est une entité mathématique avec la précision des lois qui relient ses variables.

Un modèle mathématique est toujours distinct par rapport à un composant physique, bien que son comportement soit similaire à celui du composant, donc le modèle n'est pas équivalent mais seulement présente une approximation.

II.3.1. La simulation des composants semi conducteurs

Le rôle principal du simulateur est faire baisser le nombre des étapes d'itérations nécessaires pour la fabrication du composant avec certaines propriétés désirées. Un simulateur utilisé pour un composant semi-conducteur donne les données suivantes comme résultats :

1. Caractéristiques $(I - V)$, $(C - V)$.
2. Courbe à 2D inclus la courbe d'une grandeur comme par exemple le potentiel en fonction de la distance verticale d'un composant.
3. la courbe à 3D inclus un autre paramètre par exemple la distance verticale
4. Vecteur : contient la courbe du champ électrique où bien la densité de courant en fonction du voltage et le vecteur de position.

II.3.2. Le simulateur TCAD (Technologie Computer Aided Design) de Silvaco (Environnement Athena)

La compagnie (Silvaco) Créé en 1984 situé à Santa Clara, en Californie, a développé un certain nombre d'outils de simulation CAD exceptionnels pour aider à la simulation des dispositifs à semi-conducteur, est le fournisseur leader en conception assistée par ordinateur de technologie (TCAD).

ATLAS

a été conçu de façon à pouvoir l'utiliser avec d'autres outils qui facilitent ou complètent son utilisation comme le montre la figure(II.2) .

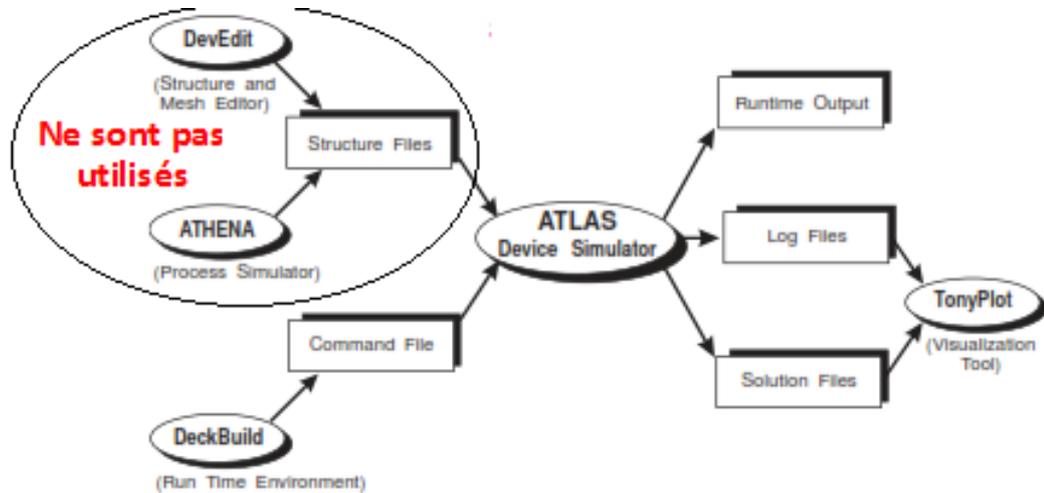


Figure II.2 – Entrées et Sorties dans l'environnement Atlas[17]

DECKBUILD est un environnement où est défini le programme de simulation comme le montre la figure(II.3).

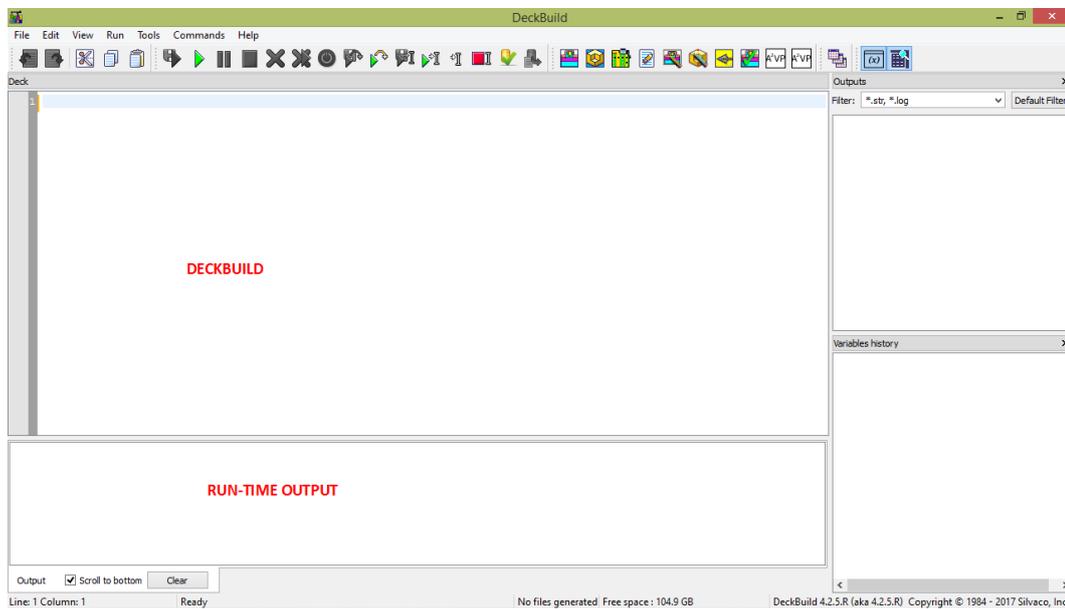


Figure II.3 – L-outil Deckbuild [17]

TONYPLOT est un environnement où sont visualisés les résultats des simulations (structure du composant, distributions de grandeurs diverses dans celui-ci, caractéristiques électriques...).

Run-Time Output : une fenêtre où on voit les erreurs de programmation et les avertissements après la compilation.

II.3.3. Mode d'opération d'ATLAS :

— l'utilisateur doit d'abord appeler le simulateur ATLAS avec la commande :

`go atlas`

— L'ordre est très important dans ATLAS, il y a 05 groupes d'instructions qui doivent apparaître dans un ordre correct comme le montre la figure II.4.

<i>Group</i>		<i>Statements</i>
1. Structure Specification	————	MESH REGION ELECTRODE DOPING
2. Material Models Specification	————	MATERIAL MODELS CONTACT INTERFACE
3. Numerical Method Selection	————	METHOD
4. Solution Specification	————	LOG SOLVE LOAD SAVE
5. Results Analysis	————	EXTRACT TONYPLOT

Figure II.4 – L'ordre des commandes ATLAS[17]

II.4. Étapes de simulation d'un transistor MOSFET

Une cellule mémoire EEPROM n'est qu'un transistor MOSFET seulement pour le cas d'une mémoire EEPROM sa porte (grille) est flottante. On illustre par la suite les différentes étapes du code de simulation d'un transistor MOSFET qui est la base de ce composant EEPROM.

II.4.1. Spécification de la structure

II.4.1.1. Spécification de maillage

MESH : SPACE.MULT = <VALUE>

Généralement l'instruction mesh sert pour spécifier le maillage (étant donné qu'ATLAS résout des équations par la méthode des éléments finis).

SPACE.MULT : c'est un facteur de multiplication entre deux lignes de maillage défini par l'instruction spacing dans une direction donnée pour augmenter ou pour diminuer le nombre de lignes de maillage.

X.MESH LOCATION = <VALUE> SPACING = <VALUE>

C'est une instruction qui définit le maillage proprement dit.

X.mesh définit le maillage dans la direction x.

x.mesh loc=0.00 spac=0.5

x.mesh loc=1.00 spac=0.2

Loc définit l'intervalle de maillage (dans notre cas entre $x = 0\mu m$ et $x = 1\mu m$)

Spac définit la résolution du maillage qui doit être physiquement inférieur à la longueur de Debye donnée par la relation :

$$L_D = \sqrt{\varepsilon_S k_B T / 2N_A q^2}$$

La spécification correcte d'un maillage est essentielle dans la simulation de processus. Le nombre de nœuds dans le maillage a une influence directe sur la précision et le temps de la simulation. Un maillage plus fin devrait exister dans les zones de la structure de simulation où l'implantation ionique se produira, où la jonction p-n sera formée, ou où l'éclairage optique. Le code de maillage pour la simulation MOSFET à canal N est indiqué ci-dessous :

go athena

line x loc = 0,0 spac = 0,1

line x loc = 0,5 spac = 0,006

line x loc = 1,2 spac = 0,006

line y loc = 0,0 spac = 0,002

line y loc = 0,2 spac = 0,005

line y loc = 0,5 spac = 0,05

line y loc = 0,8 spac = 0,15

II.4.1.2. Spécification du type de substrat

Avant de commencer la fabrication de n'importe quel composant, la tranche de Si initiale doit être sélectionnée. Les principales spécifications doivent également être définies, notamment le type de matériau du substrat, la concentration du dopage, l'orientation et quelques autres paramètres supplémentaires. On commence par un léger nettoyage du substrat de silicium (Si) dopé par exemple du phosphore avec une concentration $1 \times 10^{14} \text{cm}^{-3}$. La syntaxe du code par le logiciel TCAD est affichée ci-dessous :

silicon orient=100 c.phos=1e14 space.mul=2

Une fine couche d'oxyde de 15 à 25 nm est développée pour réduire l'effet de canalisation et éviter la contamination du substrat.

diffus time=30 temp=1000 dryo2 press=1.00 hcl=3

etch oxide thick=0.02

La figure(II.5) montre la structure MOSFET à canal N après l'opération ces opérations

II.4.2. Spécification de formation des puits P (P well formation)

Le transistor MOSFET à canal N doit être développé sur substrat en silicium de type p afin que par le biais d'un canal N sous la grille on peut avoir le mode d'inversion en présence d'un champ électrique. Pour ce faire on utilise une implantation de bore avec une énergie de $E = 100 \text{ keV}$ et une dose de $D = 8 \times 10^{12} \text{cm}^{-2}$. La syntaxe du code est affichée ci-dessous :

implant boron dose=8e12 energy=100 pears

La figure(II.6) montre cette étape d'implantation ionique où le peak de la courbe donne la valeur de la profondeur de pénétration moyenne avec une concentration de dopage spécifique.

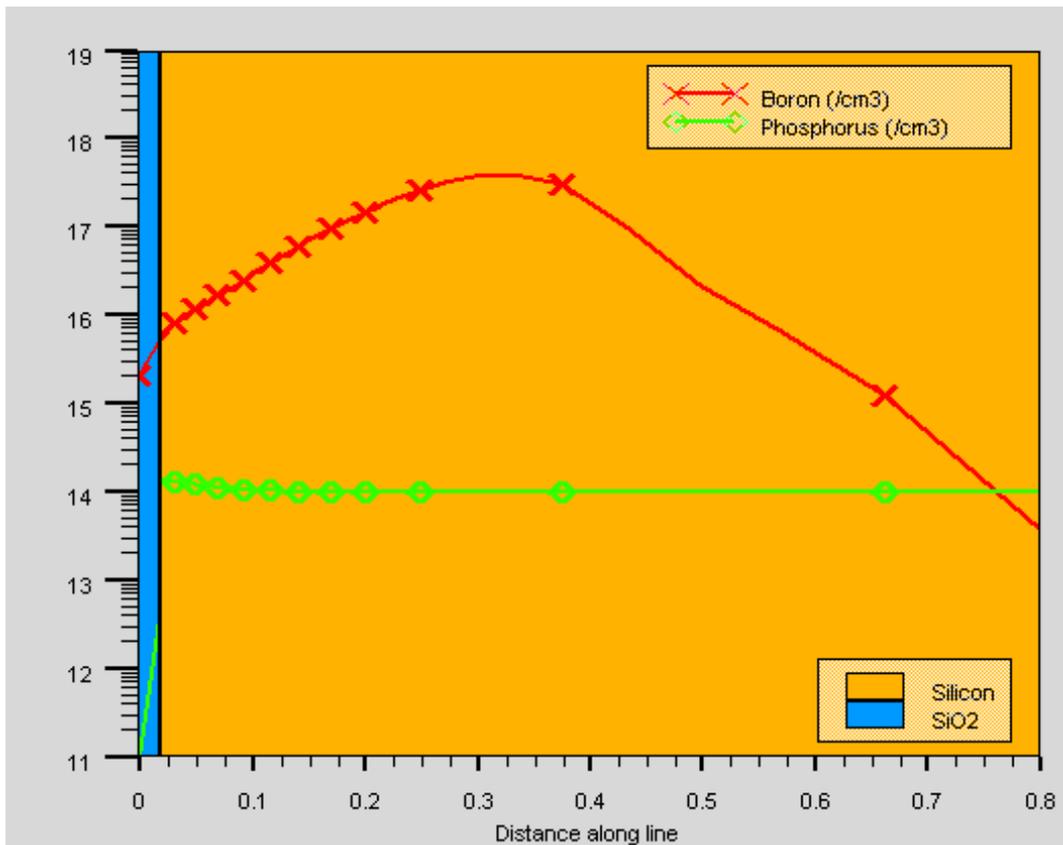


Figure II.5 – Structure MOSFET à canal N après l'opération de l'oxydation

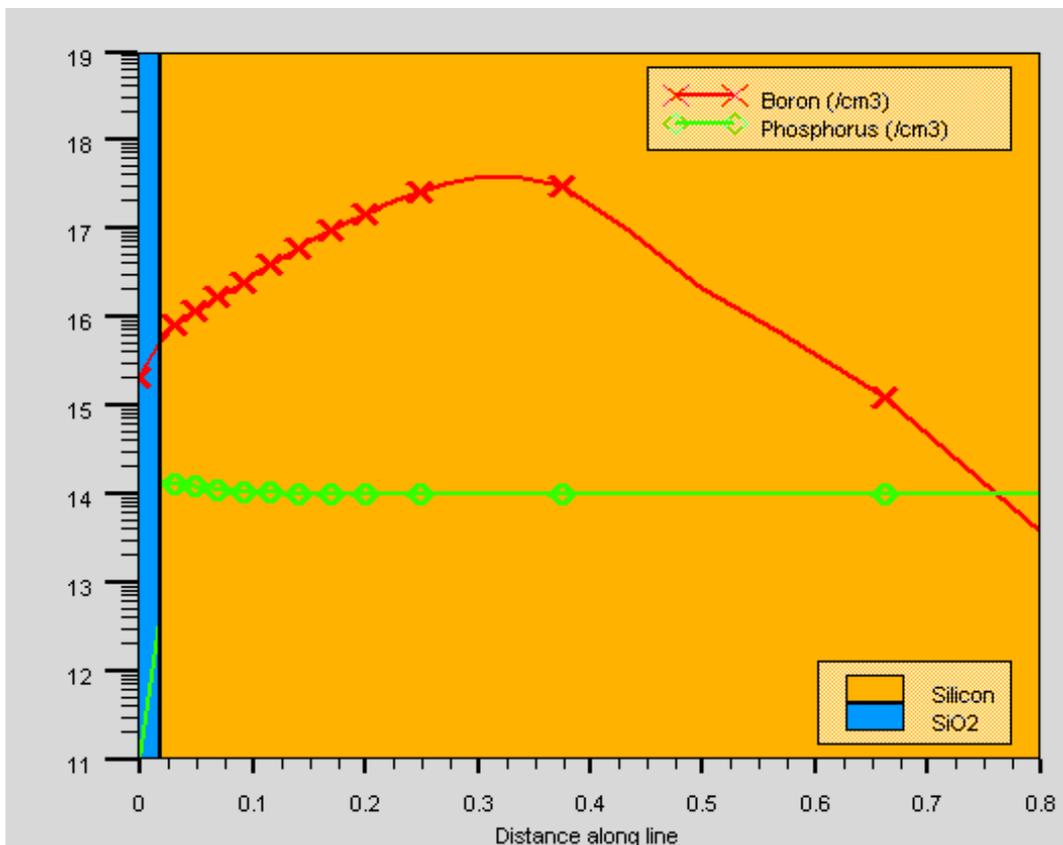


Figure II.6 – Structure MOSFET à canal N après implantation du bore

II.4.3. Structure MOSFET après oxydation des puits (well oxidation)

La prochaine étape est la croissance thermique SiO_2 sur le substrat de silicium. lorsque le substrat est chauffé une telle température élevées, les atomes de bore reçoivent suffisamment d'énergie pour se déplacer et se déposer plus uniformément dans le substrat. Ce processus peut être exécuté en exécutant le code :

```
diffus temp=950 time=100 weto2 hcl=3
```

Après exécution de cette instruction , la nouvelle structure est représentée sur la figure(II.7).

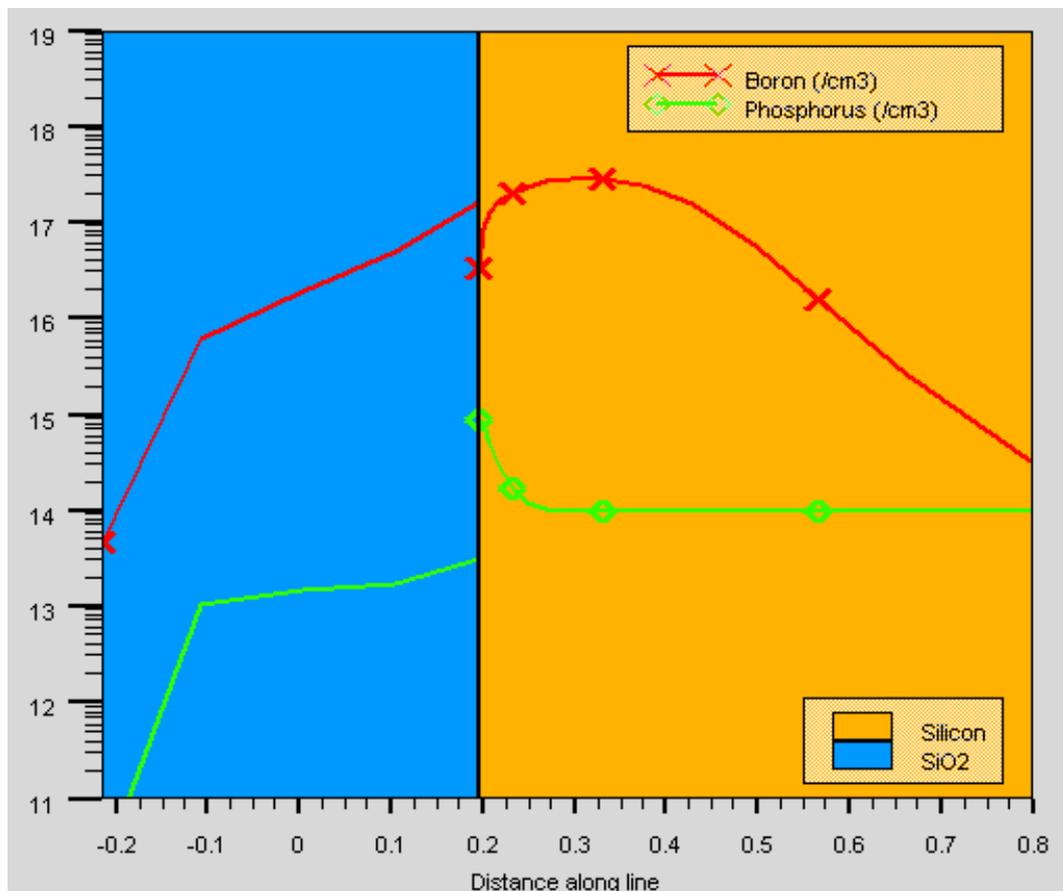


Figure II.7 – Structure MOSFET après oxydation des puits (well oxidation)

Afin de propulser davantage le puits P dans le substrat et augmenter l'uniformité, une étape d'introduction de puits est ensuite effectuée. Cette étape est essentielle dans la préparation du P well bien avant que d'autres procédures de fabrication ne soient effectuées sur cette région. Plus de diffusion les étapes sont effectuées ici avec des tem-

pératures, des taux de changement de température et des environnements de traitement variables. La présence d'azote dans une étape de diffusion fournit un environnement inerte pour que la diffusion n'entraîne pas de génération d'oxyde sur le substrat. Le code de ce drive-in est indiqué ci-dessous : `diffus time=50 temp=1000 t.rate=4.000 dryo2 press=0.10 hcl=3 =0.10 hcl=3 diffus time=220 temp=1200 nitro press=1 diffus time=90 temp=1200 t.rate=-4.444 nitro press=1`

II.4.4. Structure MOSFET après well drive-in

La structure du MOSFET à canal N après le processus d'entraînement du puits est représentée sur la figure(II.8). Il est alors nécessaire de décaper le présent oxyde du substrat pour fournir une surface physique du MOSFET. Ce processus peut être exécuté en exécutant le code :

`etch oxide all`

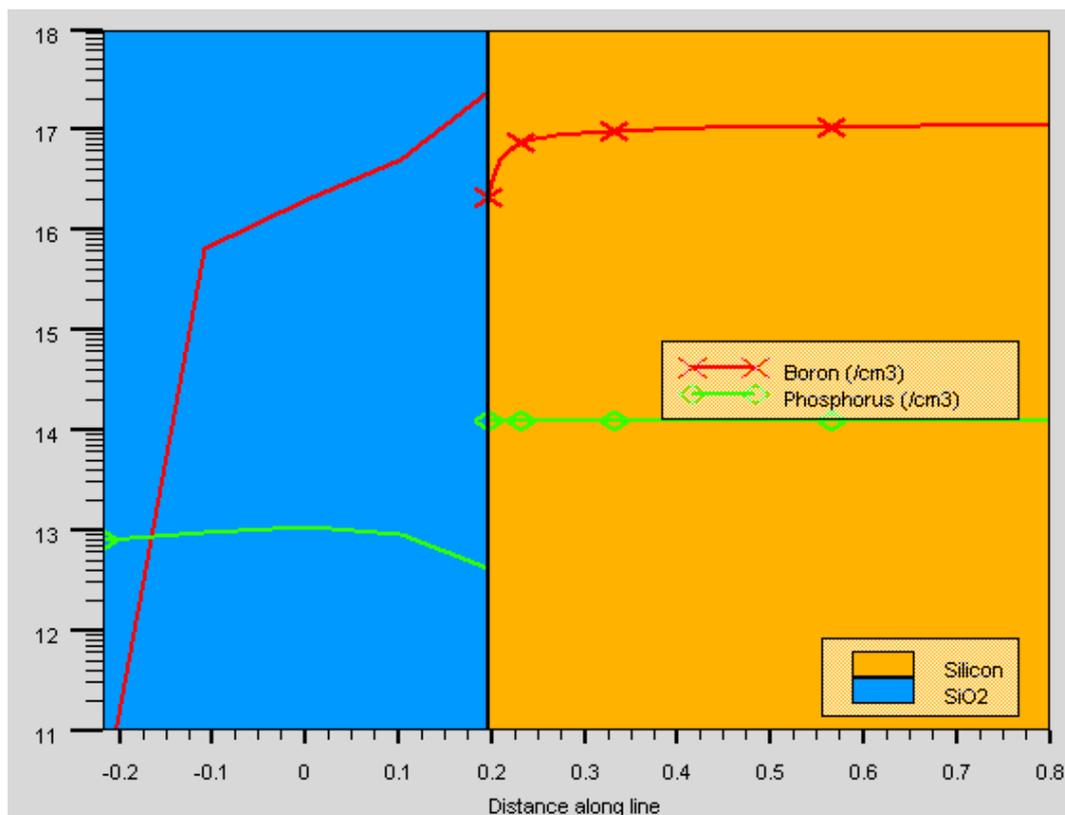


Figure II.8 – Structure MOSFET après well drive-in

La dernière étape de préparation de la surface du substrat, avant de commencer le processus de développement de la structure physique du MOSFET à canal N, consiste à

effectuer un nettoyage sacrificiel. Ce procédé nécessite une oxydation puis l'élimination de l'oxyde produit. L'oxygène dans l'étape d'oxydation réagit avec la surface Si formant SiO_2 avant qu'il ne soit décapé. En conséquence, une fine couche de la tranche est retirée. Ce processus garantit que la couche de surface de Si est exempte de dommages causés par les étapes précédentes du processus. Ce processus peut être exécuté en exécutant le code :

```
diffus time=20 temp=1000 dryo2 press=1 hcl=3 etch oxide all
```

II.4.5. Structure MOSFET après croissance de l'oxyde de la grille

L'oxyde de grille est développé sur le substrat en utilisant des commandes de dépôt. L'épaisseur de cette couche d'oxyde peut être modifiée en changeant le temps, la température ou le type d'oxydation. l'oxyde de grille de 10 à 12 nm (voir la figure(II.9)) est développé thermiquement dans de l'oxygène sec à 925 ° C. Cette croissance de l'oxyde de grille se fait avec l'instruction TCAD :

```
diffus time=15 temp=925 dryo2 press=1.00 hcl=3
```

II.4.6. Structure MOSFET à canal N après implantation de réglage de tension de seuil

Pour ajuster avec précision la tension de seuil V_{th} du composant, On implante du bore en basse énergie de $E = 10$ keV est réalisé (environ $D = 9,5 \times 10^{11} cm^{-2}$). Principalement cet implantation en combinaison avec l'implantation précédente dans la capacité d'oxyde de la grille détermine la tension de seuil finale valeur. Le code affiché pour la tension de seuil V d'ajustement est montré ci-dessous :

```
implant boron dose=9.5e11 energy=10 pearson
```

II.4.7. Structure MOSFET après croissance de l'oxyde du grille formation

Le transistor MOSFET est un dispositif symétrique ; la région de la grille vers la source sur la gauche est identique à la région de la grille vers le drain à droite. Pour cette raison,

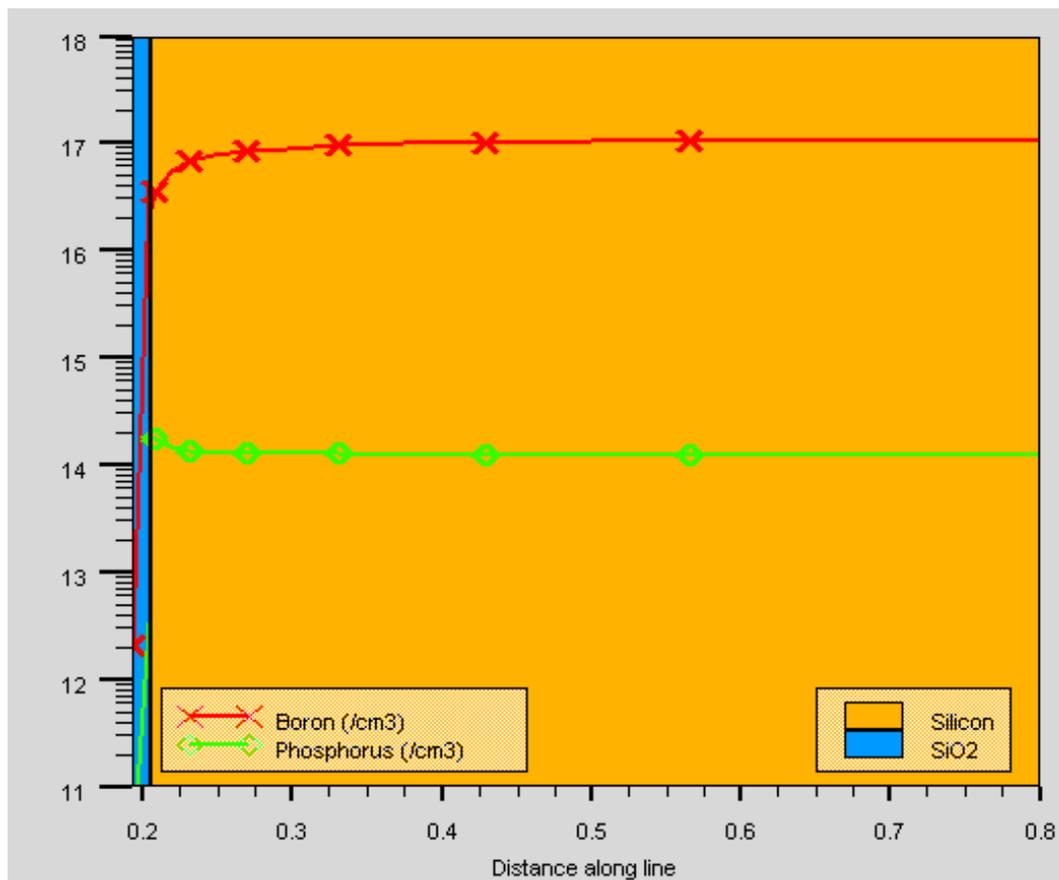


Figure II.9 – Structure MOSFET après croissance de l'oxyde de la grille

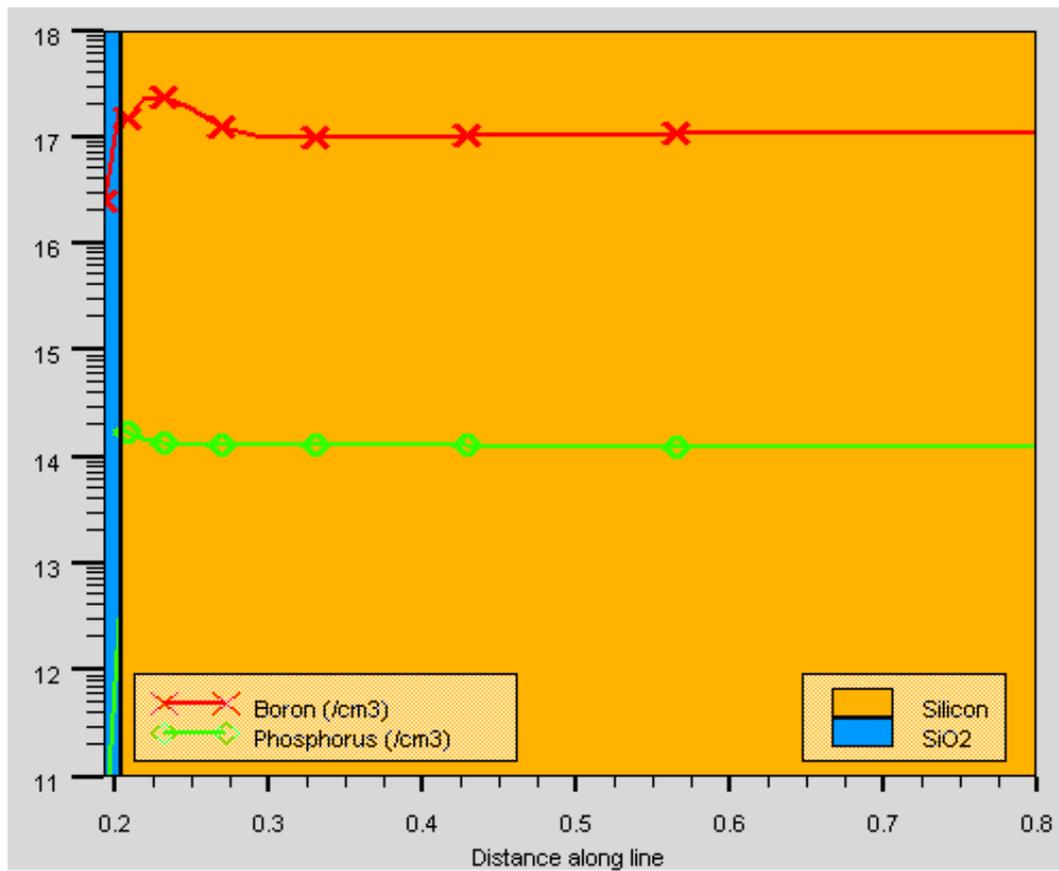


Figure II.10 – Structure MOSFET à canal N après implantation de réglage de tension de seuil

indiqué ci-dessous :

*rate.depo mach=SiLPCVD cvd oxide step.cov=0.6 dep.rate=0.1 u.m deposit mach=SiLPCVD
time=3.5 minute div=15 rate.etch mach=SiO2 rie oxide dir=0.15 iso=0.00 u.m
etch mach=SiO2 time=140 second dx.mult=0.5*

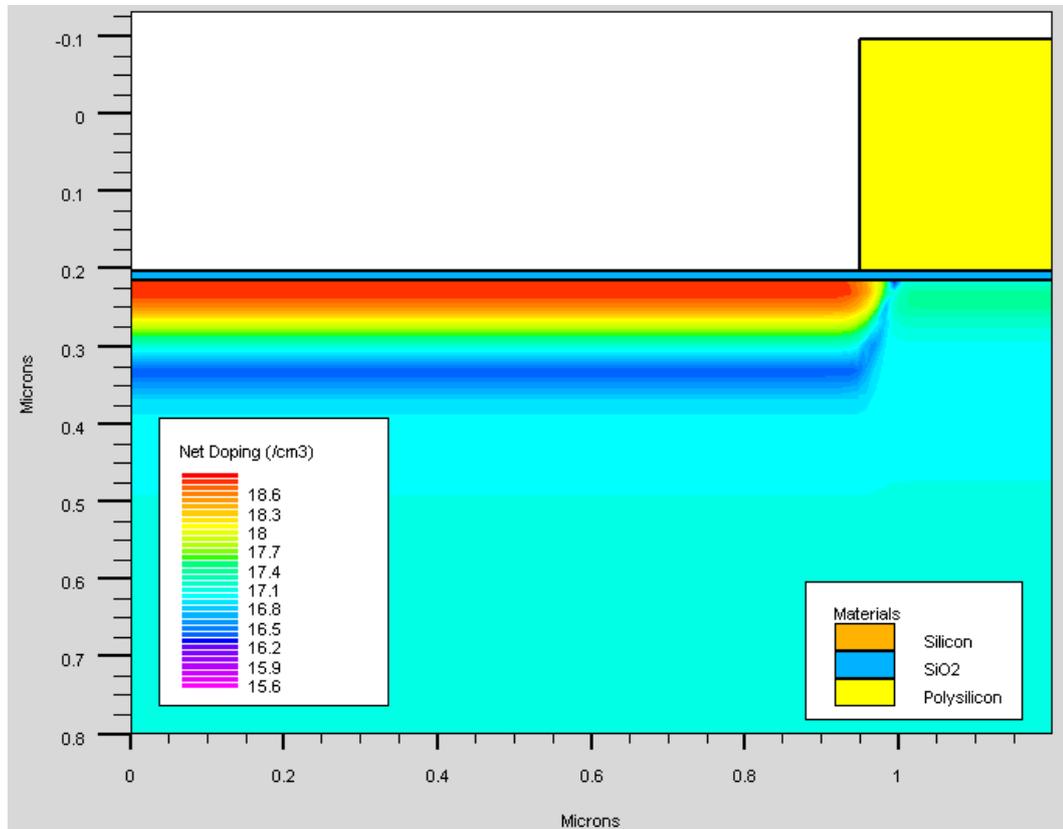


Figure II.12 – Structure MOSFET à canal N après LDD implantation

II.4.9. Structure MOSFET à canal N après forte dopage de la source N du drain

Environ 0,35 um d'oxyde est déposé conformément par dépôt chimique en phase vapeur à basse pression (LPCVD) et gravé de manière anisotrope de sorte que des espaceurs d'oxyde sur les bords en polysilicium sont créés. Le code de cette étape est indiqué ci-dessous :

implant arsenic dose=5.0e15 energy=50 pearson

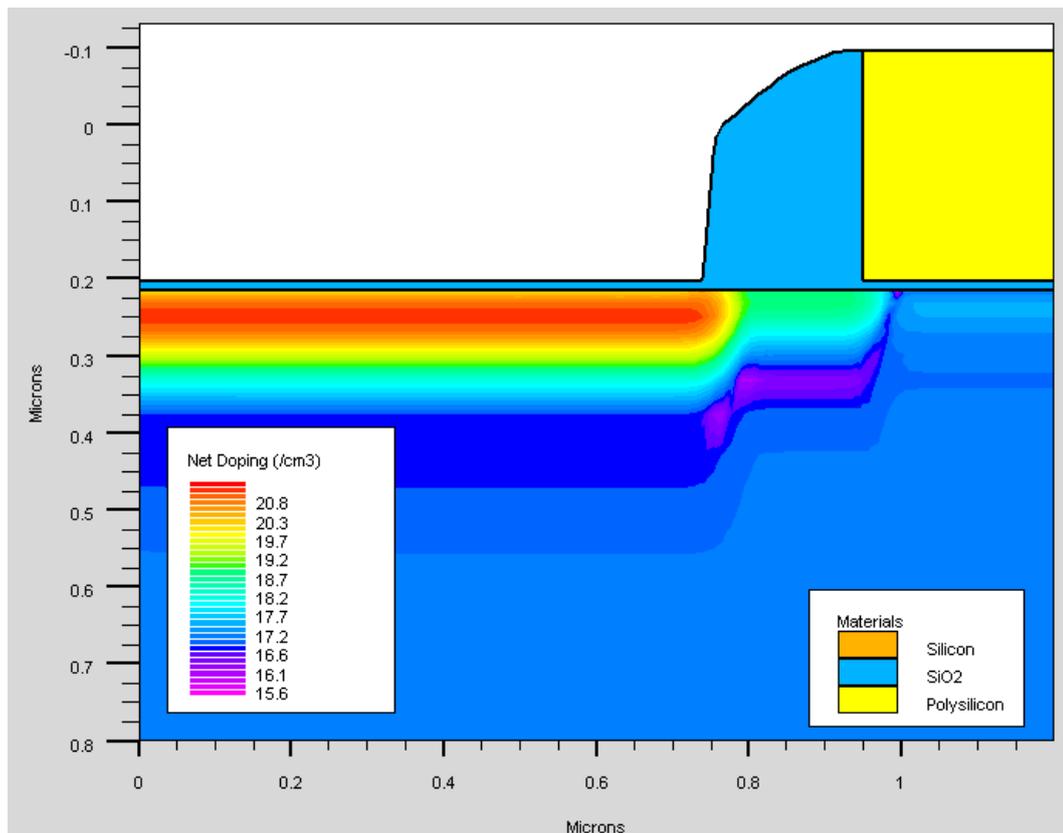


Figure II.13 – Structure MOSFET à canal N après forte dopage de la source N du drain

II.4.10. Structure MOSFET à canal N après décapage de l'aluminium (Al)

Le composant MOSFET à canal N est prête pour la métallisation. La métallisation fait référence aux couches métalliques qui inter-connectent électriquement les diverses structures de dispositif fabriquées sur la tranche de Si. L'aluminium convient très bien à cet effet avec sa très faible résistivité et sa compatibilité d'adhérence avec SiO_2 . La couche de 0,35 μm d'Al est déposée sur la surface, puis elle est décapée de la région source / drain, pour former des électrodes de région source / drain comme le montre la figure(II.14). Le code de cette étape est indiqué ci-dessous :

```
rate.depo machine=SputteringAl aluminum n.m sigma.dep=0.80 uni dep.rate=100
angle1=60 deposit machine=SputteringAl time=3.5 minutes divis=50 etch alumi-
num right p1.x=0.6
```

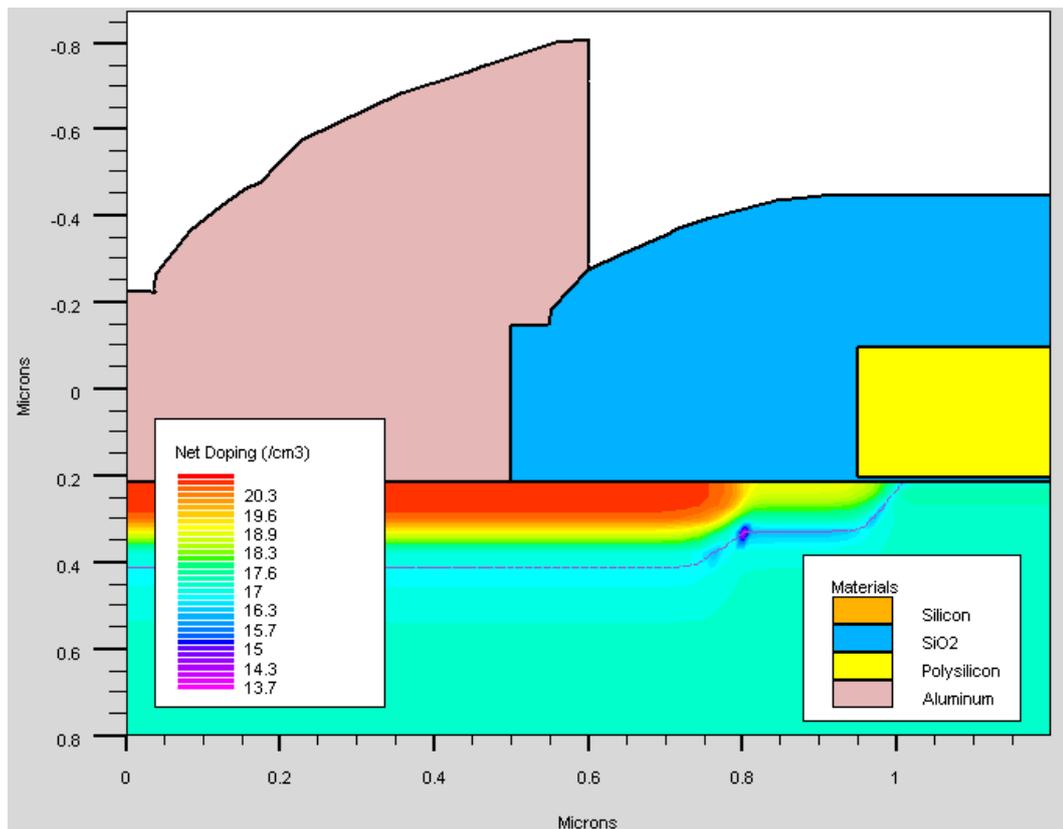


Figure II.14 – Structure MOSFET à canal N après décapage de l'aluminium (Al)

II.4.11. Structure MOSFET à canal N après définition de l'électrode

Enfin, le transistor MOSFET à canal N est mis en contact et le comportement électrique du dispositif peut être analysé. Le code de cette étape est indiqué ci-dessous et définit les électrodes de source, de grille, de drain et de substrat : *structure mirror right electrode name=gate x=1.2 y=0.1 electrode name=gate x=1.2 y=0.1*

electrode name=source x=0.1

electrode name=drain x=2.3 electrode name=substrate backside structure outfile=nmos.str electrode name=source x=0.1

tonyplot est nmos.str

En conclusion on donne par la suite le code complet écrit par Silvaco-TCAD sous le module athena :

go athena

line x loc=0.0 spacing=0.1

line x loc=0.5 spacing=0.006

line x loc=1.2 spacing=0.006

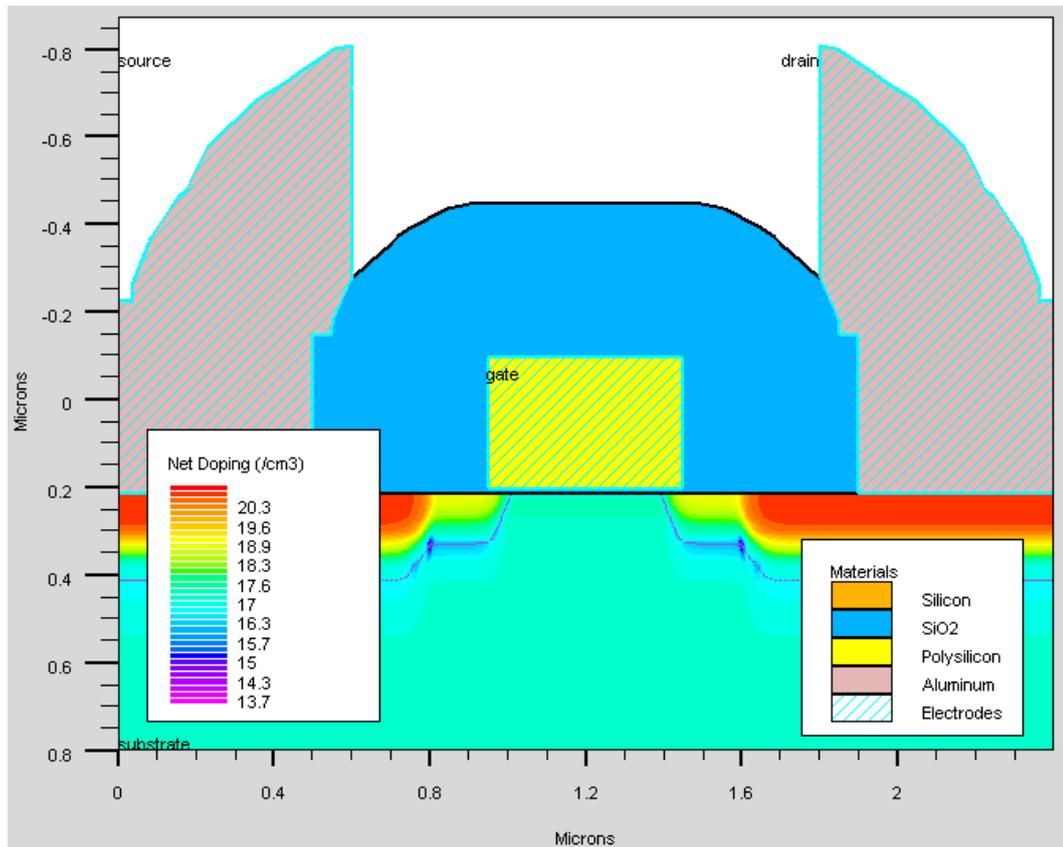


Figure II.15 – Structure MOSFET à canal N après définition de l'électrode

line y loc=0.0 spacing=0.002

line y loc=0.2 spacing=0.005

line y loc=0.5 spacing=0.05

line y loc=0.8 spacing=0.15

init silicon orient=100 c.phos=1e14 space.mul=2

diffus time=30 temp=1000 dryo2 press=1.00 hcl=3

etch oxide thick=0.02

implant boron dose=8e12 energy=100 pears

diffus temp=950 time=100 weto2 hcl=3

diffus time=50 temp=1000 t.rate=4.000 dryo2 press=0.10 hcl=3

diffus time=220 temp=1200 nitro press=1

diffus time=90 temp=1200 t.rate=-4.444 nitro press=1

etch oxide all

diffus time=20 temp=1000 dryo2

etch oxide all

```
diffus time=10 temp=800 nitrogen
diffus time=2 temp=900 dryo2
diffus time=13 temp=900 dryo2
diffus time=10 temp=900 nitrogen
diffus time=10 temp=800 nitrogen
dose=1.20e12 energy=25 pearson
depo poly thick=0.3 divi=10
etch poly left p1.x=0.95
implant phosphor dose=3.0e13 energy=20 pearson
rate.depo mach=SiLPCVD cvd oxide step.cov=0.6 dep.rate=0.1 u.m
deposit mach=SiLPCVD time=3.5 minute div=15
rate.etch mach=SiO2 rie oxide dir=0.15 iso=0.00 u.m
etch mach=SiO2 time=140 second dx.mult=0.5
implant arsenic dose=5.0e15 energy=50 pearson
method fermi compress
diffuse time=1 temp=1000 nitro press=1.0
rate.depo mach=SiLPCVD cvd oxide step.cov=0.6 dep.rate=0.1 u.m
deposit mach=SiLPCVD time=3.5 minute div=15
etch oxide left p1.x=0.5
rate.depo machine=SputteringAl aluminum n.m sigma.dep=0.80 uni dep.rate=100
angle1=60
deposit machine=SputteringAl time=3.5 minutes divis=50
etch aluminum right p1.x=0.6
save outfile=figch26.str
tonyplot figch26.str
```

CHAPITRE III

SIMULATION D'UNE MÉMOIRE EEPROM

III.1. Introduction

On présente dans ce chapitre le code de simulation TCAD d'un transistor MOS à grille flottante et qui présente une couche d'oxyde en dessous de la grille en comparaison à un transistor MOS à grille fixe dont les étapes de simulation sont décrites dans le chapitre précédent. On étudie ainsi les propriétés électrique à savoir la caractéristique courant-tension (I-V) et les caractéristiques capacité-tension(C-V) pour cette structure EEPROM

III.2. Simulation par TCAD d'une mémoire EEPROM

Le transistor MOSFET à grille flottante a été utilisé habituellement dans une cellule EEPROM[19, 20]. L'opération d'écriture et d'effacement de l'EEPROM est basée sur le mécanisme d'injection tunnel de Fowler Nordheim à travers l'épaisseur d'oxyde mince d'ordre de 9 nm figure(III.1).

Le code écrit par le logiciel Silvaco-TCAD sous le module athena d'un transistor MOS à grille flottante utilisé comme cellule EEPROM est le suivant :

(c) Silvaco Inc., 2015

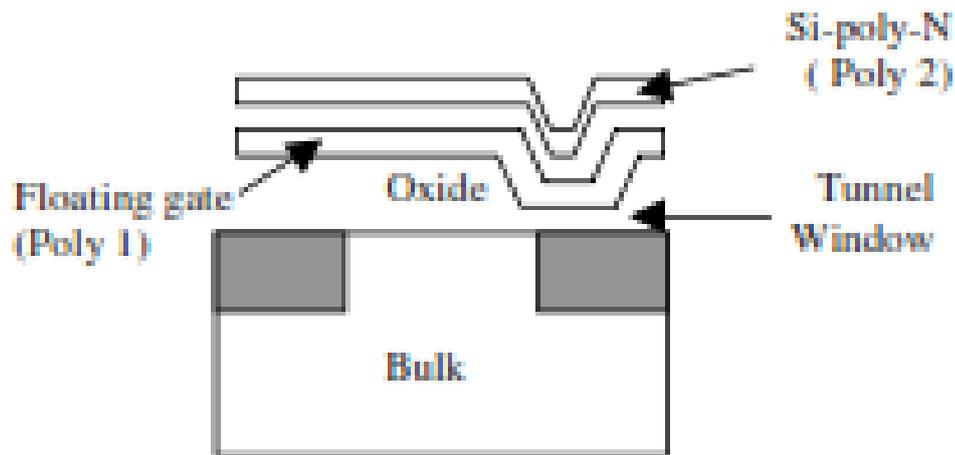


Figure III.1 – Schéma d'une structure à grille flottante

go athena

TITLE : EEPROM cell formation example

line x loc=0.0 spac=0.1

line x loc=0.6 spac=0.025

line x loc=0.9 spac=0.05

line x loc=1.5 spac=0.2

line y loc=0.00 spac=0.01

line y loc=0.3 spac=0.03

line y loc=2.0 spac=0.25

init c.boron=1.988e19 orientation=100 space.mult=1

method compress fermi

diffuse time=18 temp=900 dryo2

extract name="tunnelox" thickness oxide mat.ocno=1 x.val=0

implant boron dose=1e12 energy=25

deposit poly thick=.25 div=4

implant phos dose=6e14 energy=30

diffuse time=5 temp=900 dryo2

deposit nitride thick=0.02 div=1

deposit oxide thick=0.01 div=1

deposit poly thick=.25 div=4 c.phos=8e19

```
etch poly right p1.x=.6
etch oxide right p1.x=.6
etch nitride right p1.x=.6
etch oxide right p1.x=.6
etch poly right p1.x=.6
etch oxide right p1.x=.6 relax y.min=.3 dir.y=f
implant arsenic dose=1e15 energy=40
diff time=50 temp=950
deposit oxide thick=.03 div=2
structure mirror left
etch oxide left p1.x=-0.8
etch oxide right p1.x=0.8
deposit alum thick=0.05 div=1
etch alum start x=0.9 y=-10.
etch alum cont x=0.9 y=10.
etch alum cont x=-.9 y=10.
etch alum done x=-.9 y=-10.
!!!!!!!!!!define electrode names!!!!!!!!!!
electrode name=fgate x=0 y=-0.1
electrode name=cgate x=0 y=-0.4
electrode name=source x=-1.5
electrode name=drain x=1.5
electrode name=substrate backside
save the structure
structure outfile=eprmex010.str
!!!!!!!!!!Switch to Devedit for remeshing!!!!!!!!!!
go devedit
!!!!!!!!!!Set Meshing Parameters!!!!!!!!!!
base.mesh height=0.4 width=0.4
!!!!!! Make sure impurity gradiants have enough detail. (i.e. no triangle spans more
```

```

than 1 (sensitivity=1) power of 10)!!!!
imp.refine imp="NetDoping" sensitivity=1
imp.refine min.spacing=0.02
!!!!!!! Make sure channel has enough triangles!!!!!!
. constr.mesh depth=0.25 under.material="PolySilicon" max.height=0.05 max.width=0.05
constr.mesh depth=0.05 under.material="PolySilicon" max.height=0.015
!!!!!!! Make sure contacts have enough connection points!!!!
. constr.mesh depth=0.05 under.material="Aluminum" max.width=0.1
!!!!Create a mesh, using the parameters set above!!!!
. mesh mode=meshbuild
!!!!!!!!!!!!!!save structure!!!
structure outfile=eprmx011.str
tonyplot eprmx011.str
!!!!!!!switch to Atlas for the Device Tests!!!!
go atlas
!!!!!!!Set workfunction for the poly gates,
contact name=cgate n.polysilicon
!!!!!!Define some Qss...
interface qf=3e10
models fnord fnholes print
impact selb
method block gummel newton
solve init
solve prev
log outf=eprmx02.log j.tun
solve vfgate=1 vstep=0.05 vfinal=9 name=fgate
tonyplot eprmx012.log
log outf=eprmx013.log j.tun
solve vfgate=-4 vstep=0.05 vfinal=5 name=fgate ac freq=1.0E9
tonyplot eprmx013.log

```

Ce code écrit en logiciel TCAD sous l'environnement Athena simule la structure et le test électrique d'une cellule EEPROM. L'exemple se compose de :

Formation de structure EEPROM à double grille figure(III.2) à Athena

- maillage .
- Simulation du courant de grille I_g en fonction en fonction de tension de grille (I_g - V_g).
- Simulation de la capacité de grille I_g en fonction en fonction de tension de grille (C_g - V_g).

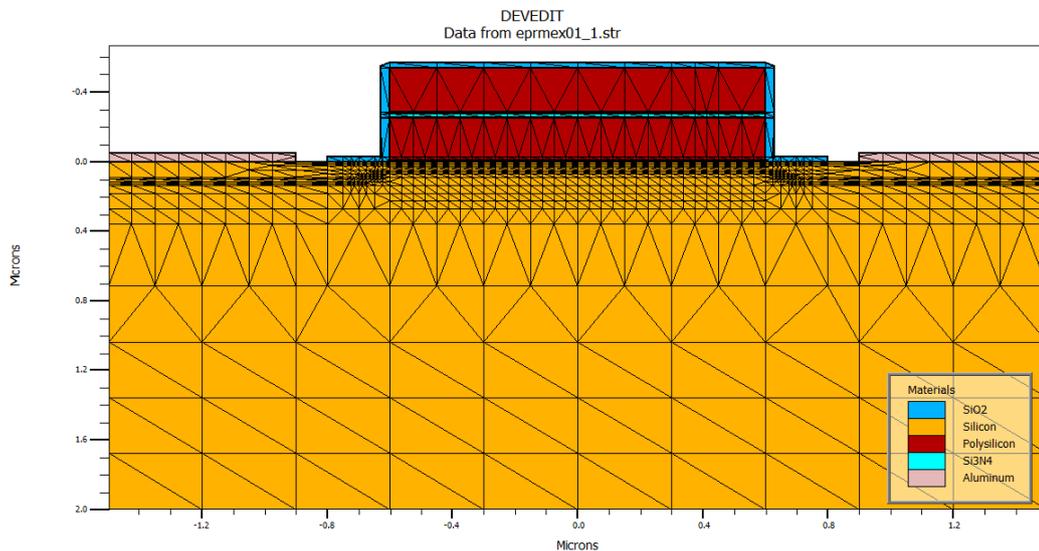


Figure III.2 – Structure d'une mémoire EEPROM montrant le maillage

La simulation d'écriture / effacement dans une cellule EEPROM est d'un grand intérêt pour la conception. En effet, la principale difficulté pour simuler ces opérations est la caractérisation des paramètres courants FN. L'extraction des paramètres FN nécessaires pour connaître la valeur du champ électrique de l'oxyde. utiliser une mesure de capacité quasi-statique pour déterminer celle-ci.

Pour une simulation précise de la programmation et de l'effacement, il est essentiel d'avoir une représentation très précise de la structure de l'appareil. Les courants de grille et tunnel sont très sensibles à la géométrie et aux profils de dopage. Il vous sera possible de modifier les paramètres de processus et d'observer leur effet sur les performances de l'appareil directement avec ce fichier d'entrée.

L'interface entre Athena et Atlas est automatique. Les instructions d'électrode dans Athena sont utilisées pour définir les positions des électrodes pour Atlas. Toute couche de métal ou de silicium polycristallin peut éventuellement être définie comme une région d'électrode. Les noms d'électrodes donnés dans Athena sont transférés dans Atlas.

Comme avec de nombreux exemples fournis, la structure de grille pour l'exemple de dispositif EEPROM est plutôt grossière. Cela permet des temps d'exécution réalistes pour l'exemple. Lors de la comparaison de dispositifs EEPROM simulés et réels, une grille plus fine est recommandée.

III.3. Simulation des caractéristiques (I_g-V_g) et (C_g-V_g)

Les instructions permettant la simulation des Simulation deux caractéristiques (I_g-V_g) et (C_g-V_g) sont :

```

contact name=cgate n.polysilicon
!!!!Define some Qss...
interface qf=3e10
models fnord fnholes print
impact selb
method block gummel newton
solve init
solve prev
log outf=eprmex02.log j.tun
solve vfgate=1 vstep=0.05 vfinal=9 name=fgate
tonyplot eprmex012.log
log outf=eprmex013.log j.tun
solve vfgate=-4 vstep=0.05 vfinal=5 name=fgate ac freq=1.0E9
tonyplot eprmex013.log

```

On présente sur la figure(III.3) la caractéristique courant de grille en fonction de la tension de grille (I_g-V_g) obtenue par le simulateur TCAD de la cellule EEPROM[20]

en comparaison avec celle simulé avec les paramètres de la référence [20] en utilisant l'équation suivante :

$$I_{FN} = SA_{FN}F^2e^{\frac{B_{FN}}{F}} \quad (\text{III.1})$$

S est la surface de la grille. F est le champ électrique donnés par :

$$F = \frac{V_g - V_{fb}}{t_{ox}} \quad (\text{III.2})$$

Les expressions de A_{FN} and B_{FN} sont données par :

$$A_{FN} = \frac{m}{m_{ox}} \frac{q^3}{16\pi^2\hbar\phi_b} \quad (\text{III.3})$$

et

$$B_{FN} = \frac{4\sqrt{2m_{ox}}}{3q\hbar}\phi_b^{3/2} \quad (\text{III.4})$$

Les différents valeurs du paramètres sont donnés dans le tableau citeharabech2000extraction suivant :

Tableau III.1 – Valeur des paramètres utilisé pour simulé la caractéristique (Ig-Vg) avec l'équation((III.1))

Nomenclature	Paramètres	Valeur
Concentration du dopage du substrat	Nsub	$1.988e19cm^3$
Tension du bande plate	Vfb	0.766 V
Concentration du dopage de la grille	Ng	$7.94e19cm^3$
Epaisseur de l'oxyde	t_{ox}	8.795nm
Hauteur de la barriere	ϕ_b	3.013V
Rapport des masses	m_{ox}/m	0.35
Paramètre1 de Fowler Nordheim	A_{FN}	$1.469e^{-6}AV^{-2}$
Paramètre2 de Fowler Nordheim	B_{FN}	$21.14e9Vm^{-1}$

Un bon accord est illustré sur la figure(III.3) entre les la courbe simulé par simulateur TCAD et celle tracé par les paramètres détermine en référence [20] et qui sont illustrés dans le dernier tableau. Nous avons ajouté sur la figure(III.4) la caractéristique Capacité tension de grille simulé par TCAD.

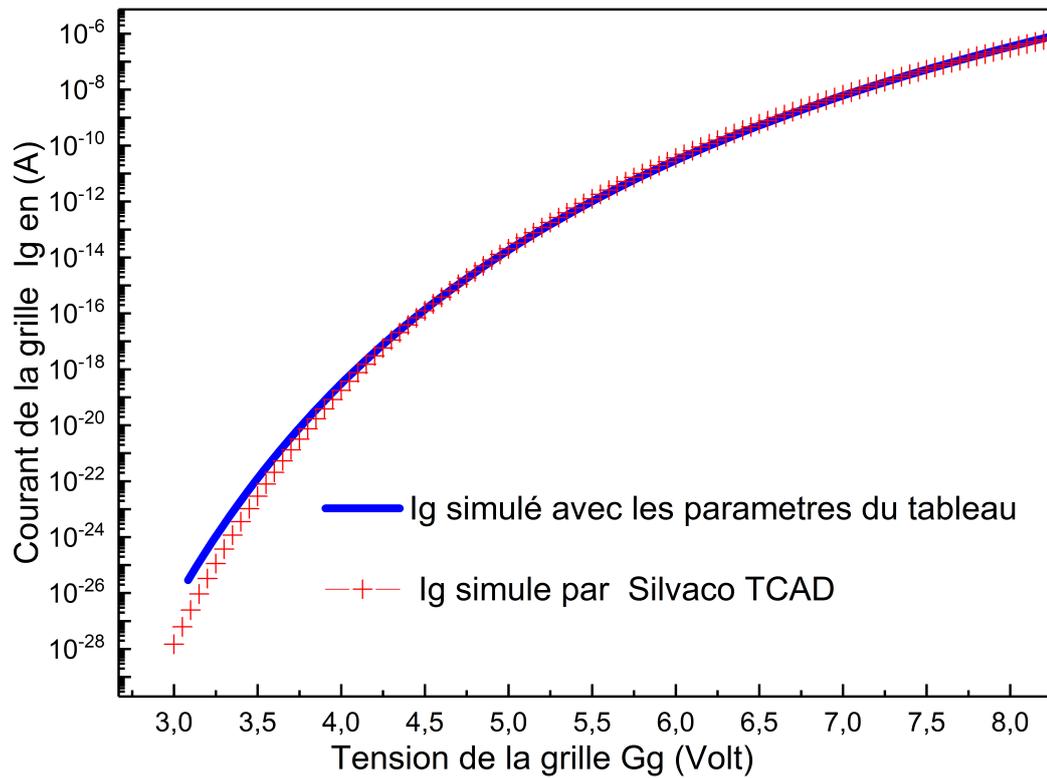


Figure III.3 – La caractéristique (I_g - V_g) simulé par Silvaco TCAD en comparaison avec celle simulé avec les paramètres de la référence[20]

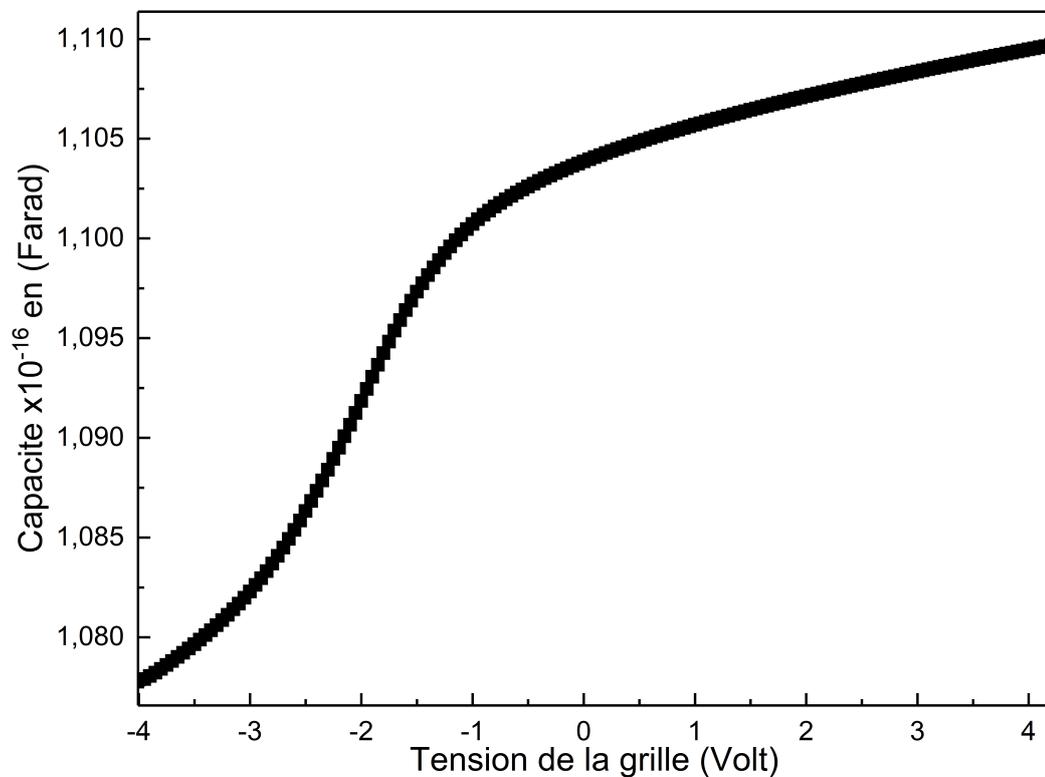


Figure III.4 – La caractéristique (C_g - V_g) simulé par Silvaco TCAD en comparaison avec celle simulé avec les paramètres de la référence[20]

CONCLUSION GÉNÉRALE

Le cadre générale du travail de ce mémoire est l'étude des propriétés électriques des cellules mémoires EEPROM par la simulation des caractéristiques électriques courant-tension (I-V) et les caractéristiques capacités -tension (C-Vg) L'outil de simulations de ces caractéristiques est le logiciel Silvaco TCAD.

Pour bien mener notre travail, nous avons donné une description des différentes mémoires non-volatiles puis nous avons rappelé les généralités sur les caractéristiques capacités-tension (C_g -Vg), les caractéristiques (I_g -Vg) dans ces structures.

Dans une seconde étape, la description des étapes technologiques de fabrication d'une capacité MOS est importante pour utiliser le logiciel TCAD . Les étapes étapes à suivre pour écrire un programme de simulation TCAD d'un transistor MOSFET qui est la base de la cellule mémoire EEPROM était rappelé dans ce chapitre.

Les résultats obtenus à partir de l'analyse des caractéristiques courant-tension (I_g -Vg) des structures EEPROM qui sont des composants MOSFET à grille flottante étudiés montrent que le mécanisme de Fowler Nordheim est celui de transport des charges dans ces structures.

BIBLIOGRAPHIE

- [1] Juliano Razafindramora. *Modélisation et caractérisation de transistors MOS appliquées à l'étude de la programmation et du vieillissement de l'oxyde tunnel des mémoires EEPROM*. PhD thesis, 2004.
- [2] Sabeur Jemmali, Walid Benzarti, and Jean-Jacques Charlot. Modélisation vhdl-ams d'une cellule mémoire de type eeprom.
- [3] Guillaume Just. *Caractérisation et modélisation des mémoires Flash embarquées destinées aux applications faible consommation et à forte contrainte de fiabilité*. PhD thesis, Aix-Marseille, 2013.
- [4] Tertulien Ndjountche. *Electronique numérique 2 : Circuits logiques séquentiels et arithmétiques*, volume 2. ISTE Group, 2016.
- [5] William D Brown and Joe E Brewer. *Nonvolatile semiconductor memory technology : a comprehensive guide to understanding and to using NVSM devices*, volume 6. Wiley-IEEE Press, 1998.
- [6] Giora Yaron, Ying K Shum, Ury Priel, Jayasimha S Prasad, and Mark S Ebel. Electrically programmable and erasable memory cell, October 16 1984. US Patent 4,477,825.
- [7] Guillaume Just. *Caractérisation et modélisation des mémoires Flash embarquées destinées aux applications faible consommation et à forte contrainte de fiabilité*. PhD thesis, Aix-Marseille, 2013.

- [8] Aimen Boubaker. *Modelisation des composants mono-electroniques : Single-Electron Transistor et Single-Electron Memory*. PhD thesis, Lyon, INSA, 2010.
- [9] Bentarzi Hamid. *Transport in Metal-Oxide-Semiconductor Structures : Mobile Ions Effects on the Oxide Properties*. Springer Science & Business Media, 2011.
- [10] Lezlinger M and Snow EH. Transport mechanism in mica and sio₂ dielectrics. *J. Appl. Phys*, 40 :278, 1969.
- [11] Stern TE, Gossling BS, and Fowler RH. Further studies in the emission of electrons from cold metals. In *Proceedings of the Royal Society of London A : Mathematical, Physical and Engineering Sciences*, volume 124, pages 699–723. The Royal Society, 1929.
- [12] Zafar S, Liu Q, and Irene EA. Study of tunneling current oscillation dependence on sio₂ thickness and si roughness at the si/sio₂ interface. *Journal of Vacuum Science & Technology A*, 13(1) :47–53, 1995.
- [13] R Stratton. Volt-current characteristics for tunneling through insulating films. *Journal of Physics and Chemistry of Solids*, 23(9) :1177–1190, 1962.
- [14] M Lenzlinger and EH Snow. Fowler-nordheim tunneling into thermally grown sio₂. *Journal of Applied physics*, 40(1) :278–283, 1969.
- [15] Aimen Boubaker. *Modelisation des composants mono-electroniques : Single-Electron Transistor et Single-Electron Memory*. PhD thesis, Lyon, INSA, 2010.
- [16] William D Brown and Joe E Brewer. *Nonvolatile semiconductor memory technology : a comprehensive guide to understanding and to using NVSM devices*, volume 6. Wiley-IEEE Press, 1998.
- [17] Int SILVACO. Atlas user's manual', device simulation software, software ver. 5.10. R, Santa Clara, 2005.
- [18] Jeffrey Lavery. Quantum tunneling model of a pn junction in silvaco. Technical report, NAVAL POSTGRADUATE SCHOOL MONTEREY CA, 2008.
- [19] WD Brown. Je brewer-nonvolatile semiconductor memory technology, 1997.
- [20] Nadia Harabech, Rachid Bouchakour, Pierre Canet, Philippe Pannier, and JP Sorbier. Extraction of fowler-nordheim parameters of thin sio/sub 2/oxide film including

polysilicon gate depletion : validation with an eeprom memory cell. In *2000 IEEE International Symposium on Circuits and Systems (ISCAS)*, volume 2, pages 441–444. IEEE, 2000.