



REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE
Ministère de l'Enseignement Supérieur et de la Recherche Scientifique
Université Echahid Cheikh Larbi Tebessi-Tébessa-
Faculté des Sciences Exactes Et Sciences de la Nature et de La Vie
Département Sciences de la Matière



Thèse Doctorat

domaine : Sciences de la Matière
Filière : Physique
Option : Physique de la matière condensée

Thème

Étude Par Simulation Et Extraction Des Paramètres Des Caractéristiques (I-V-T) Et (C-V-T) à Travers Les Structures MOS

Présenté Par :
Aounallah Belkhir

Devant le jury :

Président :	Chemam Fayçal	Pr	Université Echahid Cheikh Larbi Tebessi, Tébessa.
Rapporteur :	Rouag Nouari	M.C.A	Université Farhat Abbas, Sétif1.
Examineurs :	Benkhedir Mohamed Lotfi	Pr	Université Echahid Cheikh Larbi Tebessi, Tébessa.
	Rahmane Saad	Pr	Université Mohamed Khider, Biskra.
	Ouahab Abdelouaheb	Pr	Université Mohamed Khider, Biskra.
Invité :	Ouennoughi Zahir	Pr	Université Ferhat Abbas, Setif1.

Date de soutenance :03/05/2023

RÉSUMÉ

Abstract :

A comparative study of electrical characteristics between two MOS structures one is a conventional capacitor where the electric field direction is vertical and the second is a modern nMOSFET where the electric field direction is lateral, both structures are in p-type silicon and are intended for dark applications, this study was carried out by comparing the experimental data and the results of the simulations using TCAD - SILVACO tools. The leakage current and consequently the capacitance of these structures have been simulated by varying the gate bias and temperature .

The use of the new characterization method (Normalized direct conductance) to characterize the leakage current in the two structures, allowed us to distinguish and determine the ranges of the different conduction mechanisms and to extract their parameters.

The results obtained shows that for the modern nMOSFET transistor, the HEI (Hot Electron Injection) mechanism dominates in the low and high voltage regions while the Poole-Frenkel mechanism is dominant in the middle region. But, for the MOS capacitor, the HEI (Hot Electron Injection) current dominates at low voltages, the Fowler nordheim current contributes at high voltages. However, poole-frenkel remains dominant in the middle region. Thus, it is possible to extract the most important parameters of the different mechanisms for these two structures.

TCAD-SILVACO tools also allowed the extraction of most important parameters such as threshold voltage, surface potential, charge distribution and band energies.

Keywords : MOS capacitor, nMOSFET, leakage current, Silvaco-TCAD.

Résumé :

Une étude comparative des caractéristiques électriques de deux structures MOS l'une est un condensateur conventionnel et la seconde est un nMOSFET moderne . Les deux structures sont en silicium de type p et sont destinée aux applications sombres, cette étude a été réalisée en comparant les données expérimentales et les résultats des simulations à l'aide des outils TCAD - SILVACO. Le courant de fuite et par conséquent la capacité de ces structures ont été simulés en faisant varier la polarisation de la grille et la température .

L'utilisation de la nouvelle méthode de caractérisation (Normalized direct conductance) pour caractériser le courant de fuite dans les deux structures , nous a permis de distinguer et déterminer les gammes des différents mécanismes de conduction ainsi d'extraire leurs paramètres.

Les résultats obtenus montre que pour le transistor nMOSFET moderne, le mécanisme HEI (Hot Electron Mechanism) domine dans les régions basse et haute tension tandis que le mécanisme Poole-Frenkel est dominant dans la région intermédiaire. Mais, pour le condensateur MOS, le courant d'injection domine aux basses tensions, le courant de Fowler nordheim contribue aux hautes tensions. Cependant, le poole-frenkel reste dominant dans la région intermédiaire. Ainsi, il est possible d'extraire les paramètres les plus importants des différents mécanismes pour ces deux structures.

Les outils de TCAD-SILVACO ont également permis l'extraction de la plupart des paramètres importants tels que la tension de seuil, le potentiel de surface, la distribution des charges et les énergie des bandes .

Mots clés : Condensateur MOS, nMOSFET , courant de fuite, Silvaco-TCAD.

المخلص

تناولت هذه الدراسة مقارنة للخصائص الكهربائية لهيكل MOS من السيليكون من النوع p أحدهما مكثف تقليدي حيث يكون اتجاه الحقل الكهربائي عموديا والثاني ترانزستور حديث MOSFET ذو القناة n حيث يكون اتجاه الحقل الكهربائي أفقيا مخصصا للتطبيقات المظلمة.

أجريت هذه الدراسة من خلال مقارنة البيانات التجريبية مع نتائج المحاكاة باستخدام أدوات Silvaco-TCAD عن طريق تغيير جهد البوابة ودرجة حرارة الركيزة لتوصيف تيار التسرب في الهياكل سالفة الذكر وإيجاد أهم وسائطها اعتمادا على تقنيات الاستخراج والمجسات.

سمحت لنا طريقة التوصيف الجديدة (NDCnew) بالتمييز بين آليات التسرب حيث أظهرت النتائج: أن تيار الحقن (HEI) يسيطر في مجال التوترات المنخفضة لكلا الهيكلين بينما في منطقة التوترات المتوسطة يهيمن آلية Poole-Frenkel أما في منطقة التوترات العالية فيسود تيار الحقن (HEI) في الترانزستور و تيار Fowler- Nordheim في المكثف.

سمحت أدوات Silvaco-TCAD أيضا باستخراج أهم الوسائط على غرار : جهد العتبة - كمون السطح - توزيع الشحنات - عصابات الطاقة.

الكلمات المفتاحية : مكثف MOS ، Silvaco-TCAD ، ترانزستور nMOSFET ، تيار التسرب.

REMERCIEMENTS

Mes remerciements vont premièrement à dieu tout puissant pour la volonté, la santé, et la patience, qu'il m'a données durant toutes ces années d'étude.

J'exprime mes profondes gratitudes à mes parents pour leurs encouragements, leur soutien et pour les sacrifices qu'ils ont endurés.

Ainsi, je tiens également à exprimer mes vifs remerciements à mon respectueux encadreur le maître de conférences NOUARI ROUAG pour avoir d'abord proposé ce thème, pour suivi continué tout le long de la réalisation de cette thèse, qui n'a pas cessé de me donner ses conseils et remarques, et ses qualités humaines et sa disponibilité.

J'exprime ma profonde reconnaissance et mes sincères remerciements aux Messieurs Pr. ZAHIR OUENNOUGHY et Pr. ADELMO ORTIZ-CONDE pour m'avoir assisté durant mes études durant lequel j'ai pu profiter de leurs riches expériences pour consolider et approfondir mes connaissances dans le domaine de la microélectronique et fiabilité des composants électroniques.

Mes remerciements vont à tous les administrateurs et les enseignants du département de sciences de la Matière qui a contribué à mon formation.

Mes remerciements vont aussi à tous les membres du jury qui ont accepté d'évaluer ce travail. Merci donc à CHEMAM FAYCAL, Professeur de l'Université Larbi Tébessi-Tébessa pour avoir présidé mon jury, à BENKHEDIR MOHAMED LOTFI, Professeur de l'Université Larbi Tébessi-Tébessa, RAHMANE SAAD, Professeur de l'université Mohamed Khider Biskra et OUAHAB ABEDELOUAHEB, Professeur de l'université Mohamed Khider Biskra, et à OUENNOUGHY ZAHIR, Professeur de l'Université Farhat

Abbas, Sétif1., Invité d'honneur à mon jury.

Enfin je tiens à exprimer notre reconnaissance à tous mes amis et collègues pour le soutien moral et matière.

DÉDICACE

A ma chère mère, pour ses sacrifices depuis qu'elle mit au monde.

A mon père, qui m'a toujours soutenu et aidé à affronter les difficultés.

A mes chères frères, sœurs, épouse et mes petits-fils : ABDETAWEB et ABDELBARAI.

A tous mes amis et collègues.

Je dédie ce modeste travail.

LISTE DES SYMBOLES

Symbole	Signification	Unité
C	Capacité électrique du dispositif	F
E_{Fm}	Niveau de Fermi d'un métal	eV
I_G	Courant de la grille	A
h	Constante de Planck	$J.s$
k_b	Constante de Boltzmann	$J.K^{-1}$
\hbar	Constante de planck réduit	$J.s$
N_A	concentration en impuretés de type accepteur	cm^{-3}
Q_m	charge mobile	C
N_c	est la densité des électrons dans la bande de conduction	cm^{-3}
n^*	Nombre de sites de pièges	1
N_t	La densité de pièges	cm^{-3}
N_V	Densité d'états dans la bande de valence	cm^{-3}
q	Valeur absolue de la charge de l'électron	C
T	Température absolue	K
t_{ox}	Épaisseur d'oxyde	nm
V_G	Tension de grille	V
ε_0	Permittivité du vide	$F.cm^{-1}$
ε_{ox}	permittivité d'un oxyde	$F.cm^{-1}$
ε_r	Constante diélectrique relative	1
C_{ox}	Capacité de l'oxyde par unité de surface	$F.cm^{-2}$
V_{ox}	Chute de tension à travers l'oxyde	V
$\mu_{n,p}$	Mobilité des électrons ou des trous	$cm^2.V^{-1}.s^{-1}$
m^*	La masse effective des électrons	Kg
χ_s	Affinité électronique du semi-conducteur	eV

E_{ox}	Champ électrique	V/cm
$q\phi_t$	La différence d'énergie entre la bande de conduction et un site de piégeage	eV
E_g	La largeur de la bande interdite du semi-conducteur	eV
E_i	Niveaux d'énergie intrinsèque	eV
J	Densité de courant	A/cm ²
ϕ_m	Travail de sortie du métal	eV
$q\phi_B$	La hauteur de la barrière de potentiel dans l'isolant	eV
ψ_s	Potentiel de surface dans le semi-conducteur	eV
ψ_i	Potentiel de surface intrinsèque	eV
Q_f	La charge fixe d'oxyde	C
Q_s	La charge de semi-conducteur	C
Q_{it}	La charge de l'états d'interface	C
τ_s	Constante du temps pour les états de surface	s
V_{TH}	Tension du seuil	V
D_{it}	La densité des états d'interface	cm ⁻² .eV ⁻¹
Q_{inv}	La charge de couche d'inversion	C
Q_{ox}	La charge dans l'oxyde	C
V_s	Potentiel du semi-conducteur	V
ϕ_f	Potentiel du Fermi	V
ϕ_s	Travail de sortie du semiconducteur	eV
V_{FB}	Tension de bande plate	V
Φ_{ms}	Différence du potentiel entre métal et semi-conducteur	eV
$\rho_{ox}(x)$	La densité de charges d'oxyde	C.cm ⁻²
E_t	Niveau d'énergie des pièges	eV
E_0	Energie minimale d'un électron dans le vide	eV
χ_i	Affinité électronique d'oxyde	eV
σ	la conductivité électrique	eV
X_j	profondeur de jonction de région extension source-drain	μm
ν	Fréquence	Hz
$n(x)$	Nombre de porteur de charge	1
a	La distance moyenne de saut	μm
C_t	La probabilité de passage par effet tunnel des électrons à travers l'oxyde	1
$\Delta\phi_{PF}$	La hauteur de barrière de piège pour le mécanisme Poole-Frenkel	eV
G	La conductance électrique du dispositif	siemens

ΔV	le chute de tension à travers toute résistance parasite	V
Q_{dep}	La charge d'épuisement	C
G_{BBT}	Le taux de génération de tunnel bande à bande	1
ϕ_{bON}	la hauteur de barrière à l'interface oxynitruure/silicium	eV
ε_{ON}	la constante diélectrique de l'oxynitruure	$F.cm^{-1}$
Δ	le chute de tension aux limites de l'oxyde	V
v_p	la différence entre le niveau de Fermi des porteurs majoritaires et la bande de valence	V
n_i	la concentration intrinsèque	cm^{-3}
ΔE	la différence d'énergie entre le niveau de Fermi et la bande de valence	eV
N_f	La densité des charge fixes	$C.cm^{-2}$
A_{PF}	coefficient générique de poole-frenkel	$nA.V^{-1}$
B_{PF}	coefficient générique de poole-frenkel	$V^{-0.5}$
σ_{er}	Indice d'évaluation de la qualité du fit	1
$R2$	Indice d'évaluation de la qualité du modèle	1
C_{in}	Capacité d'entrée	F
C_{ou}	Capacité de sortie	F
C_r	Capacité de transfert inverse	F
C_{GD}	Capacité grille-drain	F
C_{GS}	Capacité grille-source	F
C_{GB}	Capacité grille-substrat	F
C_{DG}	Capacité drain-grille	F
C_{DS}	Capacité drain-source	F
C_{DB}	Capacité drain-substrat	F
V_D	Polarisation drain-source	V
V_B	Polarisation substrat-source	V
$nMOSFET$	Transistor à effet de champ métal-oxyde-semi-conducteur à canal n	-
$MOSCAP$	Condensateur métal-oxyde-semi-conducteur	-
CCR	(Conductance-to-Current-Ratio) : Le rapport conductance-courant	-
NDC	(Normalized Differentiel Conductance) : Conductance différentielle normalisée	-
NDC_{New}	(New Normalized Direct Conductance) : Nouvelle Conductance directe normalisée	-

LISTE DES TABLEAUX

II.1 L'ordre de chaque groupe de commandes doit être spécifié dans ATLAS de (a) à (e)	40
III.1 Les paramètres de piège employé pour améliorer la simulation avec les mesures expérimentales	71
III.2 Les paramètres de section efficace utilisés pour améliorer la simulation avec les mesures expérimentales	73
III.3 Paramètres employés pour effectuer des simulations à 300K par TCAD-SILVACO des mesures expérimentales ($I_G - V_G$) [4]	78

TABLE DES FIGURES

I.1	Schéma en coupe d'une structure MOS.	5
I.2	Diagramme énergétique d'une structure p-MOS idéale non polarisée. . .	7
I.3	Diagrammes énergétiques, densités de charge, potentiels électriques, Champs électriques d'une structure MOS idéale polarisée[10].	9
I.4	Coupe transversale d'un condensateur MOS à base de Si/SiO_2 avec les différentes charges classées.	10
I.5	Diagramme de bande d'énergie d'une structure MOS réelle.	11
I.6	simulation $C(V_G)$ idéale en haute fréquence par MATHCAD d'un MOSCAP avec substrat de type P (1 : accumulation 2 : désertion 3 : inversion). . .	13
I.7	simulation $C(V_G)$ idéale en quasi-statique par MATHCAD d'un MOSCAP avec substrat de type P.	13
I.8	Effet des charges sur la caractéristique $C(V_G)$ d'une structure MOS réelle.	15
I.9	Effet de différentes densités des charges piégées à l'interfaces(D_{it}) sur $C(V_G)$	16
I.10	Effet des charges fixes.	17
I.11	Effet de différentes densités des charges piégées à l'interfaces (D_{it}) sur $(I_G - V_G)$	17
I.12	Évolution du transistor pendant un siècle[26].	19
I.13	Évolution du nombre de transistors par puce (loi de Moore) prédite par l'ITRS 2005 pour la mémoire et le microprocesseur [Intel Corporation][27].	20

II.1	Simulation du processus de fabrication de circuits intégrés à l'aide de la TCAD de processus pour générer un fichier d'entrée pour la simulation de l'appareil ; le « changement physique » fait référence au changement structurel du dispositif tel que la croissance d'oxyde, tandis que le « changement chimique » fait référence à la diffusion des impuretés ; process TCAD comprend des modèles de processus physiques pour effectuer une simulation numérique de processus.	29
II.2	simulation de composants à IC à l'aide de la CAD de composants pour générer des caractéristiques électriques pour l'analyse de circuits ; La TCAD des composants comprend des modèles physiques de simulation numérique de ces derniers.	30
II.3	Une structure de dispositif MOSFET illustre quelques paramètres ex tractés a partir l'usage de ATHENA de SILVACO	31
II.4	Une structure du composant MOSFET idéalisée montrant les éléments technologiques de base : L_g et L_{eff} sont respectivement les longueurs de canal dessinées et effectives, t_{ox} est l'épaisseur de l'oxyde de grille, W est la largeur de canal , X_j et la profondeur de jonction des régions des extensions source-drain (SDE) [60]	32
II.5	Entrées et Sorties dans l'environnement Atlas[67].	39
II.6	Diagramme de bande d'énergie montrant : (a) DT - l'effet tunnel direct à travers le diélectrique de grille a lieu sur toute la largeur d'oxyde de grille par rapport à (b) FN - Courant de Fowler-Nordheim tunnel à travers une barrière triangulaire, qui réduit la distance de tunnel.	44
II.7	Diagramme de bande d'énergie illustrant l'émission Schottky d'un électron se déplaçant de la grille métallique vers la bande de conduction SiO_2 similaire à l'émission thermoïnique avec la barrière de porteurs chargés abaissée par la présence d'un champ électrique et le théorème de charge d'image.	46
II.8	Représentation schématique de la conduction par sauts.	47
II.9	Diagramme de bande d'énergie montrant l'effet tunnel assisté par piège.	49
II.10	Diagramme de bande d'énergie montrant l'émission Poole-Frenkel. Lorsque le champ électrique dans le diélectrique augmente, la barrière de piège est abaissée. Lorsque la température augmente, le porteur piégé a plus d'énergie et peut plus facilement franchir la barrière.	50

II.11 Profil de bande d'énergie de la région de charge d'espace semi-conductrice le long de l'axe x pour la tension de grille $V_G >$ la tension de seuil V_{TH} (un canal existe à l'interface semi-conducteur-diélectrique.), au point y le long de la direction y (c'est-à-dire la direction de V_D) pour un V_D non nul. $E_{FS,h}$ est le trou (porteur majoritaire) imref dans la région neutre p-Si, tandis que $E_{FS,e}$ est l'électron imref dans le canal[97].	52
II.12 Diagramme de bande d'énergie du l'injection d'électrons chauds (HEI)[100].	54
III.1 Profil de dopage (a).Processus de potentiel et défauts(b) .Procédure de photolithographie : Déposition du masque (c) et intensité d'image aérienne(d).	59
III.2 Vue en coupe de la structure finale.	59
III.3 Simulation par TCAD Silvaco de la caractéristique (a) ($I_G - V_G$) du transistor nMOSFET[2],(b) Comparaison de la caractéristique ($\alpha - V_G$) entre celle simulée par TCAD Silvaco et la caractéristique ($\alpha - V_G$) expérimentale.	60
III.4 (a) Caractéristiques ($I_G - V_G$) et (b)($C - V_G$) à haute fréquence(1MHz) pour différentes températures du condensateur MOS.	62
III.5 Directions et distributions des : Champ électrique(a).Densité du courant total(b). La transconductance-tension (G-V) et les régions du phénomène de déplétion profond(c).	63
III.6 (a) La variation des energies des bandes en fonction de tension de grille .(b) Agrandis de la region de régime inversion.	66
III.7 La variation des potentiels électrostatiques et la chute de tension à travers l'oxyde V_{ox} en fonction de tension de grille(a) . Zoom de la région de régime forte inversion (b).	68
III.8 Diagrammes de bande d'énergie et de potentiel d'un condensateur MOS montrant comment les bandes changent dans différentes conditions de polarisation de grille. Les lignes pleines représentent la condition de bande plate V_{FB} . Les lignes pointillées représentent le mode d'inversion[112]. .	68
III.9 Densité de charge en fonction de la tension de grille(a).Agrandis du régime inversion(b).	69
III.10Effet du modèle de tunnel bande à bande (BBT)	72
III.11(a) Densité totale des pièges.(b) Densité d'état de queue.(c) Distribution gaussienne des états de bosse accepteur et donneur dans le substrat Si en décomposition linéaire.(d) Densité de défauts d'états comprenant des états de queue accepteur et donneur en décomposition exponentielle et distribution gaussienne des états de bosse accepteur et donneur dans le substrat.	74

III.12	Vue en coupe d'un nMOSFET [4] simulé illustre les paramètres appropriés suivant : (a) Le maillage, le dopage net ,les électrodes,la jonction avec leur profonde et bords du désertion et les différentes régions . (b)Direction et distribution de la densité du champ électrique.(c)Distribution de la densité totale du courant .(d)Mobilité des électrons dans le substrat et leurs directions.	76
III.13	Courant de fuite de grille mesuré (cercles noirs), simulé avec Silvaco-TCAD (ligne rouge continue) et simulé avec le modèle Poole-Frenkel (ligne bleue pointillée courte) d'un MOSFET.	79
III.14	Diagramme de bande d'énergie d'une structure nMOSFET avec un diélectrique SiON d'épaisseur de 2,5 nm en forte inversion.	81
III.15	La Nouvelle Conductance Directe Normalisée (NDCnew) en fonction de $(V_G - \Delta V)^{0,5}$ pour différentes valeurs de ΔV . En sélectionnant la meilleure droite avec une intersection verticale de 1, on obtient une valeur de $\Delta V = 0,063$ V, ce qui implique à partir de la pente que $B_{PF} = 7,66V^{-0,5}$. . .	84
III.16	Détermination de l'intervalle dans le quel Poole-Frenkel (PF) mécanismes de conduction est dominant selon la traditionnel méthode (a) et selon la nouvelle fonction Direct Conductance Normalisé (NDCnew) (b).	85
III.17	Différentes capacités parasites dans le MOSFET.	86
III.18	Capacités parasites non linéaires regardant dans la borne de grille ($V_D = 0.05V, V_B = 0 V$) du MOSFET.	88
III.19	(a)Effet de la température du MOSFET sur la capacité d'entrée C_{in} , (b)Effet de la température du MOSFET sur le courant $I_G - V_G$. (c) Analyse de l'existence du courant Poole-Frenkel par la méthode NDCnew	89
III.20	Extracion du : (a)Le potentiel du surface,(b)La tension du seuil.	90

TABLE DES MATIÈRES

Liste des tableaux	11
Table des figures	i
Introduction générale	1
I Généralités Sur Les Structures MOS	4
I.1. Introduction	4
I.2. Le Condensateur MOS	5
I.2.1. Constitution	5
I.2.1.1. SUBSTRAT	5
I.2.1.2. Oxyde	6
I.2.1.3. GRILLE	6
I.2.2. Structure MOS idéale	6
I.2.2.1. Structure MOS idéale non polarisée	6
I.2.2.2. Structure MOS idéale polarisée	7
I.2.2.3. Régime d'accumulation	8
I.2.2.4. Régime de désertion (dépletion)	8
I.2.2.5. Régime d'inversion	8
I.2.3. Structure MOS réelle	10
I.2.4. La tension de seuil	10
I.2.5. La tension de bande plate	11
I.2.6. Courbe C(V) Théorique pour condensateur MOS idéale	12
I.2.6.1. Haute fréquence	12
I.2.6.2. Très basses fréquences (quasi-statique)	12
I.2.7. Courbe C(V) pour condensateur MOS réelle	14
I.2.8. Influence des charges d'oxyde	14
I.2.9. Influence des états de surface	14

I.2.9.1.	Les charge des pièges Q_{it}	15
I.2.9.2.	Les charges fixes Q_f	16
I.2.9.3.	Courant de fuite $I_G - V_G$	17
I.3.	Le transistor à effet de champ MOSFET	18
I.3.1.	La mise à l'échelle des transistors MOSFETs et ses défis	18
I.3.2.	Extraction des paramètres	20
I.3.2.1.	La caractéristique courant tension(I-V)	21
I.3.2.2.	La caractéristique capacité tension(C-V)	21
I.4.	Conclusion	24
II	Technologie et Conception Assistée par ordinateur des Structures MOS Par logiciel TCAD	25
II.1.	Introduction	25
II.2.	Technologie de conception assistée par ordinateur (TCAD)	26
II.3.	Historique du processus TCAD	28
II.4.	Processus de simulation par TCAD	28
II.4.1.	Logiciel TCAD	29
II.4.2.	Motivation à utiliser Silvaco-TCAD	30
II.4.3.	Motivation d'utiliser TCAD pour simuler un MOSFET	33
II.5.	Simulation d'un composant MOS par Silvaco-TCAD	34
II.5.1.	Historique de Silvaco-TCAD	35
II.5.2.	Défis de simulation d'un dispositif MOS	35
II.5.3.	Application de la simulation de dispositif	36
II.5.3.1.	Fonctionnement du simulateur du dispositif ATLAS	36
II.5.3.2.	Entrées Sorties ATLAS	38
II.5.3.3.	Configuration de la simulation	40
II.5.3.4.	Outils de simulation de processus ATHENA	41
II.5.3.5.	ATHENA et ATLAS	41
II.6.	Mécanisme de transport de charge dans les structures MOS	42
II.6.1.	Mécanismes de conduction limités par les électrodes	43
II.6.1.1.	Mécanismes de tunnel : Tunnel direct (DT) et tunnel Fowler-Nordheim (FN)	43
II.6.1.2.	Émission schottky	45
II.6.2.	Mécanismes de conduction limités par le volume	46
II.6.2.1.	Conduction de saut à portée variable et au plus proche voisin «HOPPING CONDUCTION»	47
II.6.2.2.	Courant tunnel assisté par piégeage	48
II.6.2.3.	Conduction de POOLE-FRENKEL	49
II.6.2.4.	Courant limité par la charge d'espace (SCLC)	50

II.6.2.5. Courant de grille dû à l'injection de porteurs chauds(HEI et HHi)	52
II.7. Détermination du mécanisme de conduction	55
II.8. Conclusion	56
III Résultats : Paramètres des mécanismes de conduction d'une capacité MOS et d'un transistor MOSFET type(n)	57
III.1. Introduction	57
III.2. Condensateur MOS en inversion et en obscurité	58
III.2.1. Procédure de simulation des caractéristiques ($I_G - V_G$) et ($C_G - V_G$) du condensateur MOS	58
III.2.2. Simulation de la caractéristique expérimentale ($I_G - V_G$) du condensateur MOS	60
III.2.2.1. Effet de la température sur ($I_G - V_G$) et ($C - V_G$) du condensateur MOS	61
III.2.3. Effet de la tension de grille sur les énergies des bandes du silicium et l'oxyde du silicium.	65
III.2.3.1. Les potentiels électrostatiques	67
III.2.3.2. Les charges	69
III.2.3.3. Extraction et analyse des densité d'états (DOS)	70
III.3. Transistor nMOSFET de l'électronique moderne	74
III.3.1. Introduction	74
III.3.2. Simulation des étapes de fabrication	75
III.3.3. Simulation de la caractéristique électrique ($C_G - V_G$)	77
III.3.3.1. Une nouvelle fonction de conductance directe normalisée (NDC_{New})	81
III.3.3.2. Comparaison des mesures et des simulations	84
III.3.4. Simulation des capacités parasites	86
III.3.4.1. Effet de la température sur les caractéristiques ($C_{in} - V_G$) et ($C_G - V_G$)	88
III.3.4.2. Extraction de tension du seuil	89
III.4. Conclusion	90
Conclusion générale	91
Bibliographie	94

INTRODUCTION GÉNÉRALE

Depuis l'invention du transistor à effet de champ à semi-conducteur à oxyde métallique (MOSFET) en 1960 chez *BellLaboratoires* et le premier circuit intégré (IC) construit indépendamment chez Texas Instruments, onze (11) ans plus tard, des progrès étonnants ont été réalisés dans la technologie du *Silicium*, grâce à une mise à l'échelle continue du semi-conducteur dispositifs. Les tendances de mise à l'échelle phénoménale sont connues sous le nom de **loi de Moore**, qui prédit que le nombre de composants par puce augmente de façon exponentielle, doublant sur une période de 2 à 3 ans. Le facteur clé permettant les tendances de mise à l'échelle sans précédent était les propriétés matérielles (et les propriétés électriques résultantes) de SiO_2 et son interface avec le silicium.

Pendant assez longtemps, le dispositif électronique principal **le transistor MOS** était composé d'un substrat *Silicium*, de SiO_2 comme diélectrique de grille et d'une électrode de grille polysilicium.

Le SiO_2 a formé, le matériau diélectrique de grille parfait passant avec succès d'une épaisseur d'environ 100 nm. Il a fallu 40 ans pour passer d'une épaisseur de 90 nm à un simple noeud de 1.2 nm. Cela représente une couche de seulement quatre atomes d'épaisseur. Par conséquent, la mise à l'échelle ultime des dimensions du composant a poussé l'épaisseur de SiO_2 à ses limites physiques où des courants à effet tunnel directs inacceptables circulaient qui se situe bien au-dessus des spécifications données par l'International Technology Roadmap for Semiconductors (ITRS), en particulier

pour les technologies à faible puissance de fonctionnement et à faible consommation. En effet, dans cette gamme d'épaisseur le SiO_2 n'est plus un isolant. La seule solution possible à ce problème était le remplacement de SiO_2 par des diélectriques alternatifs qui ont une permittivité plus élevée dites (High k) (par exemple, HfO_2 , ZrO_2 , etc.) afin que la capacité requise puisse être obtenue avec des couches physiquement plus épaisses. L'intégration du diélectrique à k élevé dans la nanotechnologie Silicium a posé de nombreux problèmes sérieux tels que les charges diélectriques et d'interface, mobilité réduite des canaux, piégeage de charge et dégradation des paramètres au cours du temps de fonctionnement du dispositif.

En effet, **le courant de fuite** traversant les transistors, provenant de l'effet tunnel direct des porteurs de charge pourrait dépasser $100 (A/cm^2)$. Cependant, l'une des principales exigences pour les composants à base MOS, en particulier, le condensateur DRAM (et tout type de dispositif de mémoire qui repose sur le stockage de charge) est de maintenir une faible densité de courant de fuite du diélectrique. Une fuite élevée entraînera la perte de charge du condensateur représentant les informations binaires stockées avant l'impulsion de rafraîchissement[1]. Il est bien connu que les performances des structures MOS dépendent également fortement des propriétés de claquage et du comportement de transport de courant dans la couche diélectrique de grille (courant de fuite). Un faible courant de fuite est une exigence stricte pour fournir une faible consommation d'énergie sans luminescence pour plusieurs types de composants électronique (applications dites à faible consommation (par exemple, téléphones portables, appareils photo, etc.)). Pour les applications hautes performances (par exemple, les processeurs) une densité de courant élevée peut être acceptable mais le flux du courant à travers le diélectrique provoque une dissipation de puissance et un échauffement accru, ce qui à son tour limite la fiabilité des dispositifs.

L'objectif principale de ce travail est l'étude du courant de fuite à travers les structures à base Métal-Oxyde-Semiconducteur (MOS). Ils sont plusieurs, les mécanismes de conduction, qui peuvent simuler ce courant de fuite. Ils se caractérisent tous par leurs formes exponentielles des expressions mathématiques. Un grand effort de recherche a été consacré pour différencier entre ces mécanismes et ainsi, faire extraire leurs paramètres.

Les méthodes standard consistent à transformer la forme exponentielle en une forme linéaire pour chaque mécanisme. Cette transformation entrainera une erreur dans la détermination des paramètres du mécanisme qui fait l'objet d'une étude.

Depuis l'année 2011, différentes puissantes méthodes qui permet la séparation entre les mécanismes de conduction. La méthode $\alpha(V)$ [2], la méthode de conductance différentielle normalisée (NDC) [3] dont ils ont rapporté la possibilité de l'existence d'une chute de tension ΔV à travers la résistance parasite et qui peut entrainé une erreur dans la détermination des valeurs des paramètres caractéristiques des différents mécanismes, la méthode rapport conductance-courant (CCR)[4] a tenu en considération le paramètre ΔV . Cependant, elle nécessite une interpolation non linéaire et considère seulement un seul mécanisme de conduction.

Notre travail, consiste à étudier ce courant de fuite et bien spécialement dans deux composants électroniques à base MOS. Un condensateur MOS[2] et un transistor nMOSFET[4]. Tout en tenant compte de l'effet de la présence du paramètre (ΔV) et qui présente la chute de tension à travers la résistance parasite.

Cette thèse est constituée principalement en trois chapitres. Le premier aborde un rappel théorique des propriétés électriques des structures MOS .

Le second chapitre traite les mécanismes de conduction (la caractéristique courant-tension ($I_G - V_G$) dans les dispositifs MOS ainsi les simulateurs technologique TCAD des composants semi-conducteur son particulier Silvaco-TCAD où nous présentons son principe, son mode de fonctionnement et ses commandes avec des exemples pour son illustration.

Le troisième chapitre est consacré à la discussion des résultats de simulation par le logiciel Silvaco TCAD, des propriétés électriques capacité-tension ($C_G - V_G - T$) et courant- tension ($I_G - V_G - T$) sur les structures MOS : condensateur et nMOSFET. Enfin, nous terminerons par une conclusion générale .

CHAPITRE I

GÉNÉRALITÉS SUR LES STRUCTURES MOS

I.1. Introduction

La structure MOS (Métal Oxyde Semiconducteur,) est une structure du type M.I.S. (Métal Isolant Semiconducteur). Ces structures, (première réalisation en 1970) sont devenues le composant fondamental de l'électronique moderne. Elles sont l'élément actif d'un nouveau type de transistor le MOSFET. (Métal Oxide Semiconductor Field Effect Transistor). On décrit en premier la structure et on définit les principaux paramètres physiques qui vont jouer un rôle important dans la modélisation. Ensuite, les trois modes de fonctionnement (l'accumulation, la déplétion, et l'inversion) sont envisagés et on donne quelques relations simples permettant d'évaluer grossièrement les caractéristiques électriques capacité- tension ($C - V_G$) dans les différents cas[1]. En fin, Souvent l'application d'une tension sur une structure MIS réelle produit une caractéristique courant-tension ($I_G - V_G$) qui est le siège de plusieurs mécanismes de conduction de courant où les défauts jouent un rôle essentiel de leurs apparitions.

I.2. Le Condensateur MOS

I.2.1. Constitution

Une structure MOS est la combinaison en couche de trois matériaux différents, (comprenant donc deux hétérojonctions), une couche métallique ou un poly-silicium de type n fortement dopé dite grille, une couche isolante d'oxyde de silicium et une couche de silicium cristallin dopé p ou n formant le substrat (figure(I.1)). Le comportement d'une structure MOS lors d'une polarisation électrique ne pourra être comprise que sur la base d'une connaissance des procédés de fabrication (figure(I.1)).

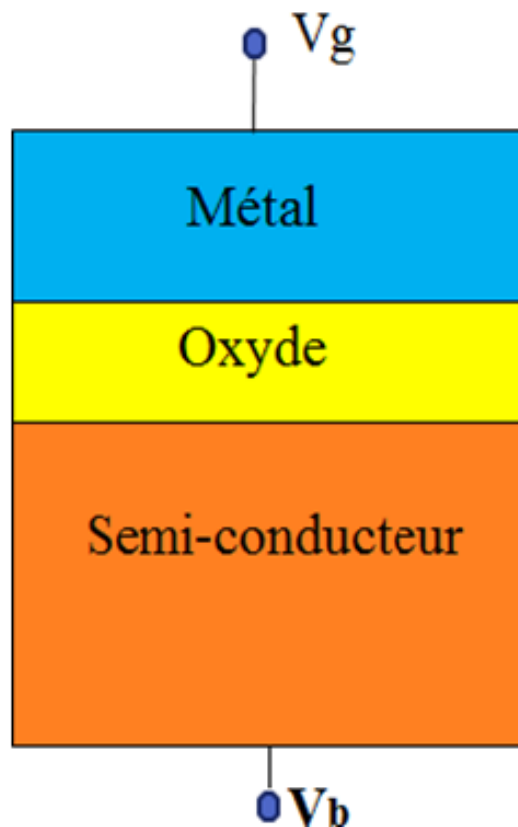


FIGURE I.1 – Schéma en coupe d'une structure MOS.

I.2.1.1. SUBSTRAT

Le substrat est en semiconducteur dopé p ou n. Si on augmente l'un des types de porteurs de charge, électrons ou trous, on parle de structures p-MOS ou n-MOS. Les structures MOS étudiées dans notre simulation sont des atomes accepteurs (donneurs)

de type N (substrat de type P) qui sont incorporés dans le substrat en deux étapes[5] :

- Implantation des dopants.
- Oxydation et recuit, par oxyde, afin d'ajuster la tension de seuil des structures.

La concentration de dopage dans l'oxyde a une faible valeur, mais la présence et l'influence de tels atomes ne peuvent être exclues. Le substrat est caractérisé par [6] :

- Largeur de la bande interdite.
- Type et valeur de concentration des dopants,
- Orientation à sa surface ([100] ou [111]) cette orientation conditionne la densité de défauts intrinsèques à l'interface substrat/isolant.

I.2.1.2. Oxyde

Lorsqu'une faible tension continue est appliquée, l'épaisseur de l'oxyde doit être suffisante pour empêcher la circulation du courant entre la grille et le substrat, mais suffisamment mince pour permettre aux bandes d'énergie à l'interface isolant/substrat de se courber[7].

I.2.1.3. GRILLE

Afin de faciliter la diffusion d'impuretés (ions hydrogène ou alcalins), dans la couche isolante, la grille des structures MOS est un métal. Ce dernier a été progressivement remplacé par le poly-silicium fortement dopé n ou p. La forte concentration d'atomes dopants dans le semi-conducteur repousse le niveau de Fermi hors de la bande interdite et confère à ce type de réseau les mêmes propriétés que le métal.

I.2.2. Structure MOS idéale

Pour bien comprendre la structure MOS, on considère le cas idéal (i.e.sans défauts).

I.2.2.1. Structure MOS idéale non polarisée

Les caractéristiques de la structure MOS idéale sont les suivantes :

- La différence entre les travaux de sortie du métal et du semi-conducteur est nulle.
- L'oxyde est parfait (pas de charge électrique).
- Il n'y a pas d'états électroniques à l'interface oxyde/semi-conducteur (i.e. sans polarisation les bandes d'énergie soient plates).

La figure (I.2) présente le diagramme énergétique d'une structure MOS, pour une structure MOS d'un substrat en silicium du type p, d'oxyde épaisseur t_{ox} de surface S et grille en poly-silicium de type n (n-poly), les niveaux énergétiques des matériaux sont donc parallèles par rapport au niveau du vide.

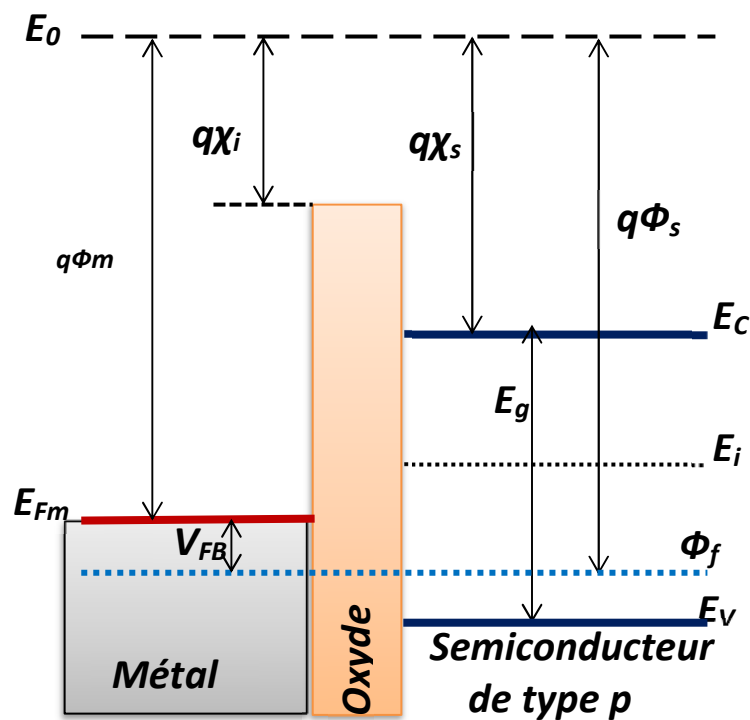


FIGURE I.2 – Diagramme énergétique d'une structure p-MOS idéale non polarisée.

I.2.2.2. Structure MOS idéale polarisée

L'application d'une tension sur la grille V_G forme une zone de charge au voisinage de l'interface oxyde/semi-conducteur qui s'appelle zone de charge d'espace. A l'équilibre cette charge est compensée par une charge à l'interface oxyde/grille de signe opposé à une charge mobile Q_m .

Selon la position relative du niveau intrinsèque E_i par rapport à E_F à l'interface

Si/SiO_2 , on distingue trois régimes de polarisation : le régime d'accumulation, le régime de désertion(dépletion) et le régime d'inversion.

I.2.2.3. Régime d'accumulation

Si la grille est polarisé négativement, des trous libres (porteurs majoritaires) du semi-conducteur s'accumulent à l'interface oxyde/semi-conducteur. La polarisation V_G appliquée sur la grille est répartie entre une tension porteuse du semi-conducteur (traduite par la courbure des bandes de substrat à l'interface oxyde/semi-conducteur et appelée potentiel de surface ψ_s du semi-conducteur) et la chute de potentiel dans l'oxyde V_{ox} . nous avons alors[8] :

$$V_G = \psi_s + V_{ox} \quad (\psi_s > 0) \quad (I.1)$$

I.2.2.4. Régime de désertion (dépletion)

Dans le cas d'une polarisation de grille positive, les trous libres sont poussés hors de l'interface, produisant une grande région déserte de charge mobile (ou d'épuisement) correspondant à la charge d'espace négative du côté semi-conducteur [9].

I.2.2.5. Régime d'inversion

Si on accroît la polarisation positive de la grille, la courbure de bandes du semi-conducteur s'accroît où le niveau BC à l'interface isolant/semi-conducteur est plus proche du niveau de Fermi E_F et que le niveau de la bande de valence (BV) est proche de E_F dans le volume. La concentration des électrons minoritaires (matériau p) à l'interface devient supérieure à la concentration d'impuretés ionisées (égale à la concentration des porteurs majoritaires dans l'hypothèse où tous les atomes accepteurs sont ionisés à la température considérée). Il y a apparition d'une couche d'inversion entre la zone désertée et l'interface, soit une charge négative supplémentaire Q_{inv} .

La figure (I.3) représente dans chacun des cas l'allure des bandes d'énergie, les densités de charge et leurs variations, le champ électrique et le potentiel électrique [9].

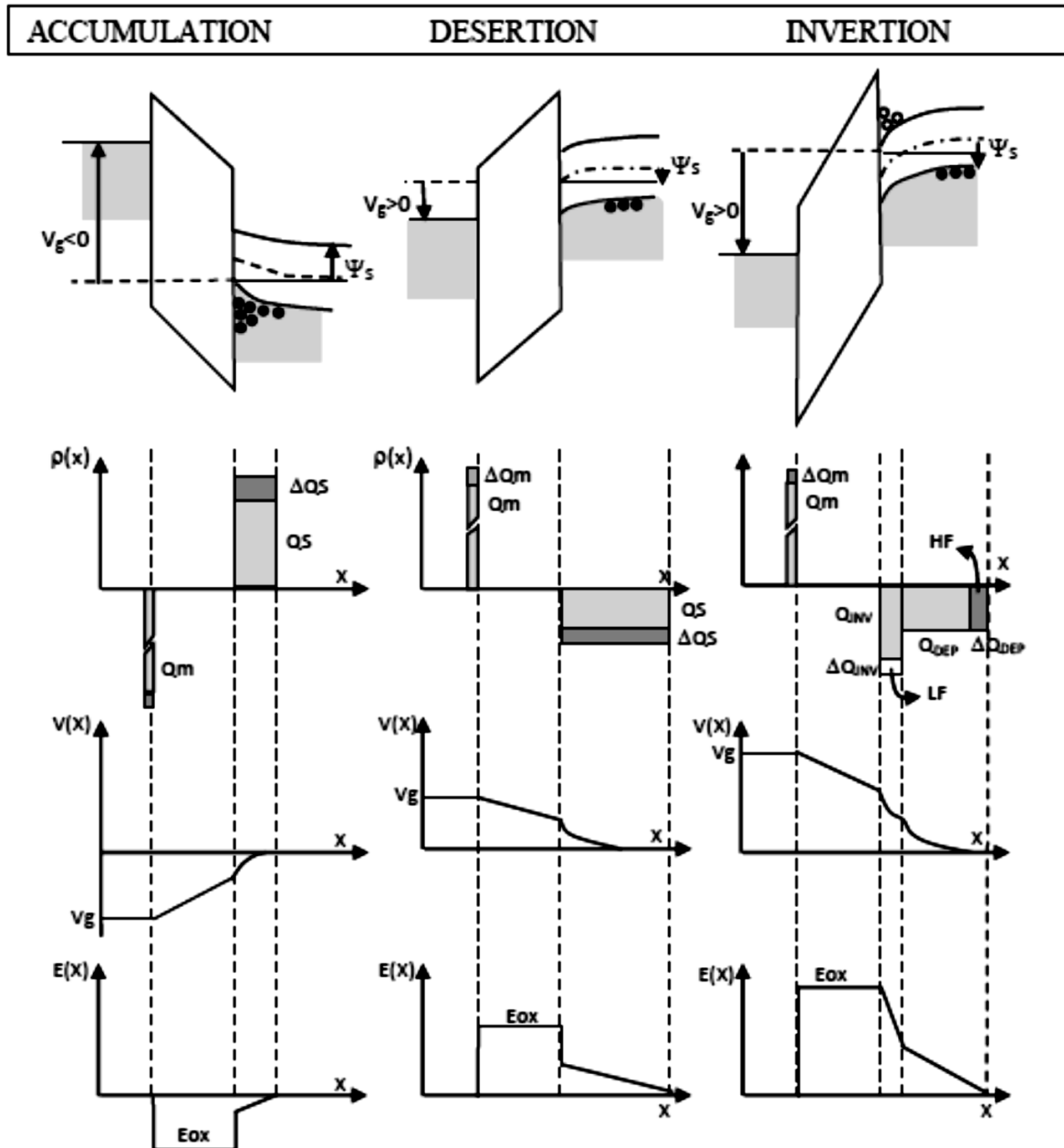


FIGURE I.3 – Diagrammes énergétiques, densités de charge, potentiels électriques, Champs électriques d’une structure MOS idéale polarisée[10].

I.2.3. Structure MOS réelle

La condition de bande plate où les niveaux du FERMI du métal et du semi-conducteur de type p ont la même valeur ne peut être respectée que pour un dopage particulier du substrat [8]. En dehors de cette situation, la structure de bandes à l'interface Si/SiO_2 est courbée. A cette déformation s'ajoute l'influence des états d'interfaces Q_{it} (et de la charge éventuelle dans l'oxyde Q_{ox}) comme le montre la figure (I.4) qui introduisent une différence de potentiel supplémentaire. En conséquence, au sein d'une structure MOS réelle, il existe un champ électrique dans l'oxyde en absence de toute polarisation[11].

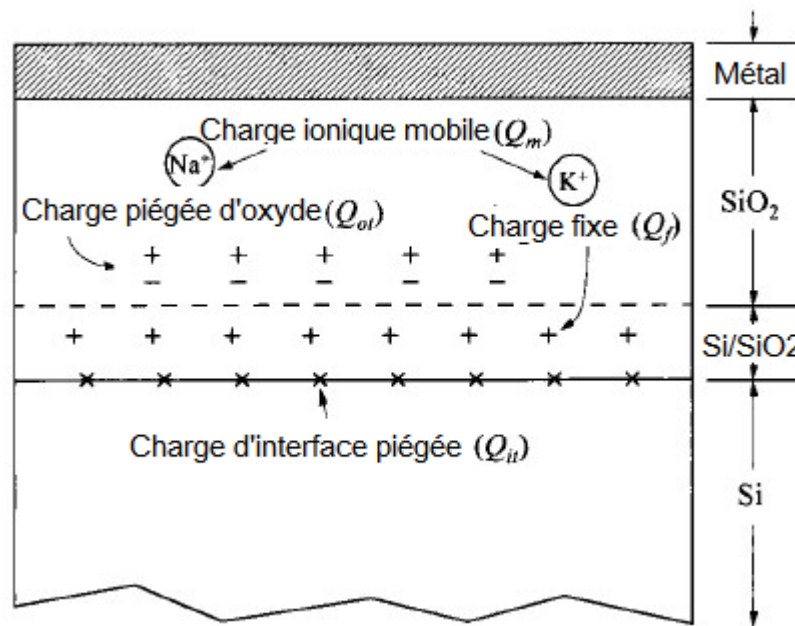


FIGURE I.4 – Coupe transversale d'un condensateur MOS à base de Si/SiO_2 avec les différentes charges classées.

I.2.4. La tension de seuil

La tension appliquée sur la structure est V_G est [12] :

$$V_G = V_s + V_{ox} = V_s + Q_m/C_{ox} \quad (I.2)$$

Dans le cas où l'on a atteint la forte inversion :

$$V_G = 2\psi_s + Q_m/C_{ox} \quad (I.3)$$

Cette valeur particulière de la tension appliquée est appelée la tension de seuil (threshold voltage) [13] :

$$V_{TH} = 2\phi_f + \sqrt{4\phi_f N_A \epsilon_{ox} / C_{ox}} \tag{I.4}$$

I.2.5. La tension de bande plate

Il est rare que $q\Phi_m$ soit strictement égal à $q\Phi_s$ (figure (I.5)). Il en résulte une courbure des bandes d'énergie pour que l'alignement du niveau de FERMI soit respecté lorsque la structure est au même potentiel. Pour rétablir la situation de bande plate, il faut appliquer sur la structure une tension appelée tension de bande plate (Flat Band Voltage) [14] comme le montre la figure (I.5) :

$$V_{FB} = \Phi_m - \Phi_s \tag{I.5}$$

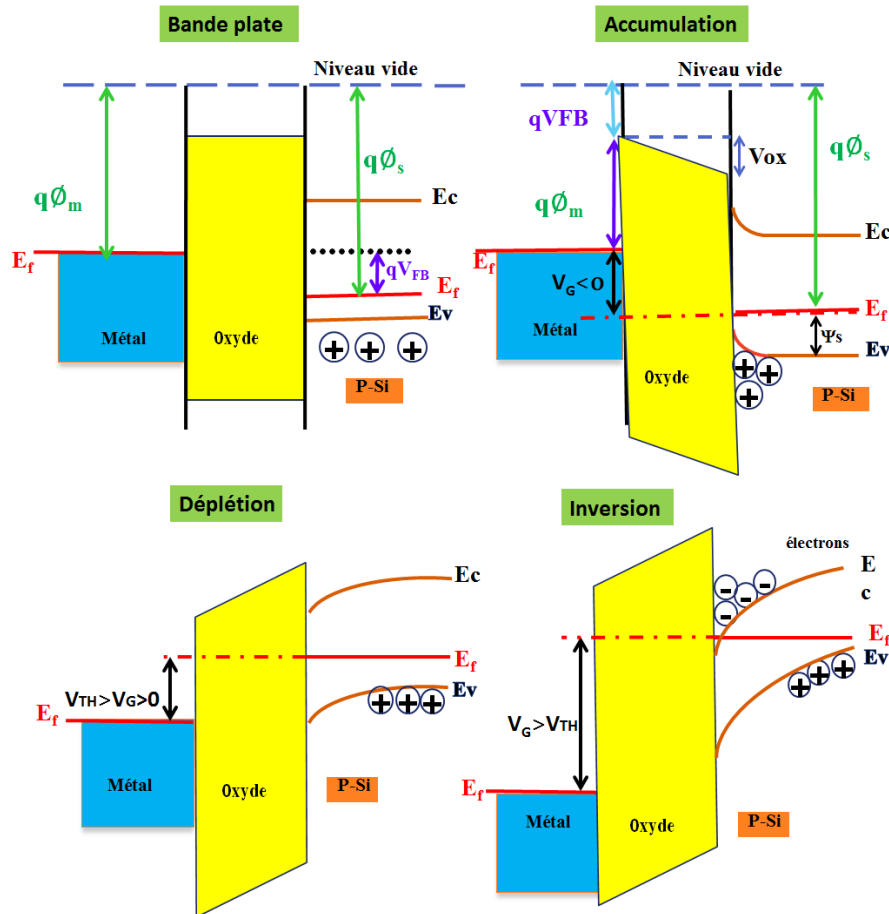


FIGURE I.5 – Diagramme de bande d'énergie d'une structure MOS réelle.

I.2.6. Courbe C(V) Théorique pour condensateur MOS idéale

Le graphe de la courbe C(V) permet de distinguer entre les différents régimes de la structure MOS. Ils sont fonction du signe de la tension de grille appliquée, V_G . Pour chaque régime, il est possible de calculer les paramètres importants à l'aide de la fréquence.

I.2.6.1. Haute fréquence

Selon la tension appliquée à la grille et selon la capacité totale du dispositif de grille, on peut attribuer deux capacités à la structure MOS :

- **La capacité statique**, C'est le rapport de la densité de charge totale dans la structure à la tension appliquée sur la grille.
- **La capacité dynamique** ou différentielle, qui est le dérivé de La capacité statique par rapport à la tension appliquée sur la grille.

La charge peut varier de manière non linéaire avec la tension et, par conséquent, les deux capacités ne sont pas les mêmes. La capacité différentielle est la capacité la plus importante pour extraire de nombreux paramètres liés à la structure MOS, et c'est donc celle qui nous intéresse. Pour simuler une capacité différentielle, on impose une tension variable continue V_G , superposée à un signal alternatif de haute fréquence fixe (de l'ordre de 1MHz), afin d'étudier le comportement de la structure idéale[15] comme le montre la figure(I.6).

I.2.6.2. Très basses fréquences (quasi-statique)

Pour la structure MOS idéale, il faut appliquer une tension non nulle, V_{FB} , pour que les bandes deviennent plates, car il y a une différence entre le travail de sortie du métal et le travail de sortie du semi-conducteur, c'est à dire que les niveaux Fermi du métal et du semi-conducteur ne sont pas les mêmes ($\Phi_{ms} \neq 0$) pour équilibrer la charge sur la grille. Dans ce cas on a besoin d'utiliser des signaux de très basse fréquence pour que les charges aient le temps de répondre[13] (figure(I.7)).

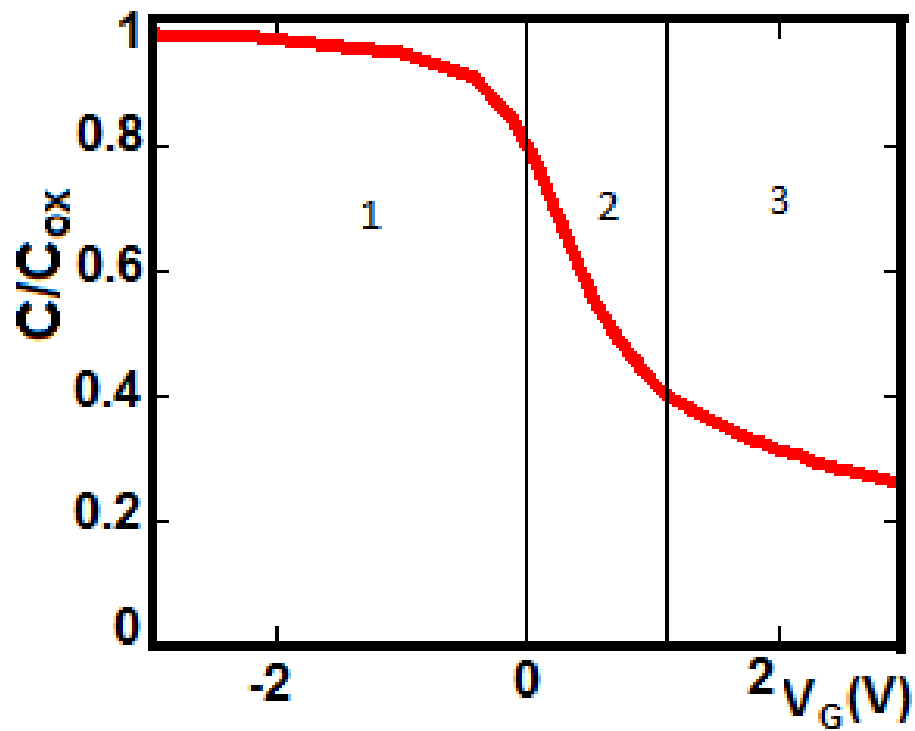


FIGURE I.6 – simulation $C(V_G)$ idéale en haute fréquence par MATHCAD d'un MOSCAP avec substrat de type P (1 : accumulation 2 : désertion 3 : inversion).

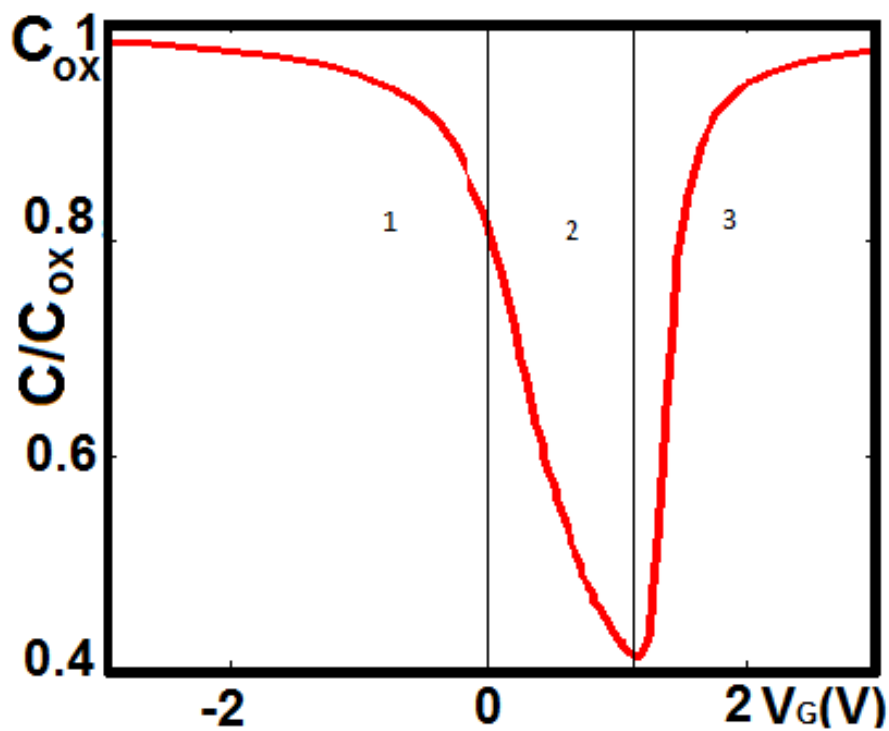


FIGURE I.7 – simulation $C(V_G)$ idéale en quasi-statique par MATHCAD d'un MOSCAP avec substrat de type P.

I.2.7. Courbe C(V) pour condensateur MOS réelle

I.2.8. Influence des charges d'oxyde

Les isolants (oxydes de silicium) contiennent des charges (généralement des ions Na^+ et Ca^+) fixes ou se délaçant très lentement en fonction de la tension appliquée sur l'électrode métallique. Définissons $\rho_{ox}(x)$ la densité de ces charges d'oxyde. Pour un cas de la charge Q_i située à l'abscisse x . Cette charge, par influence, va attirer des électrons à la surface du métal et du silicium[16]. Pour faire disparaître ces charges induites il faut appliquer une tension obtenue en intégrant l'équation de POISSON :

$$V_{FB2} = -Q_{ox}/\rho_{ox} = -(x/t_{ox})(q/C_{ox}) \quad (I.6)$$

t_{ox} et C_{ox} sont respectivement l'épaisseur et la capacité de l'oxyde. Plus la charge est profonde, plus la tension de compensation est importante. En utilisant la distribution des charges $\rho_{ox}(x)$ on obtient :

$$V_{FB2} = -Q_{ox}/C_{ox} \quad (I.7)$$

Cette tension de bande plate doit être rajoutée à la tension de seuil précédente :

$$V_{TH} = -Q_{ox}/C_{ox} + V_{FB1} + \phi_f + \sqrt{4q\phi_f N_A \varepsilon_{ox}}/C_{ox} \quad (I.8)$$

La différence du travail de sortie, la charge d'espace dans l'oxyde entraînent une translation de point de bande plate à partir de $V_G = 0$. La (Figure(I.8)) illustre la caractéristique $C(V_G)$ théorique simulée, elle subit une translation égale à cette différence d'énergie entre les travaux de sortie.

I.2.9. Influence des états de surface

Afin de comprendre et étudier les propriétés électriques à savoir la caractéristique capacité-tension($C - V$) et courant-tension($I - V$) et voir l'influence des matériaux semi-conducteurs faible gap (Si) et large gap (SiC) ainsi que l'effet des états d'interfaces (la figure(1.4)) dans les dispositifs MOS, le simulateur Silvaco-TCAD nous a permis de

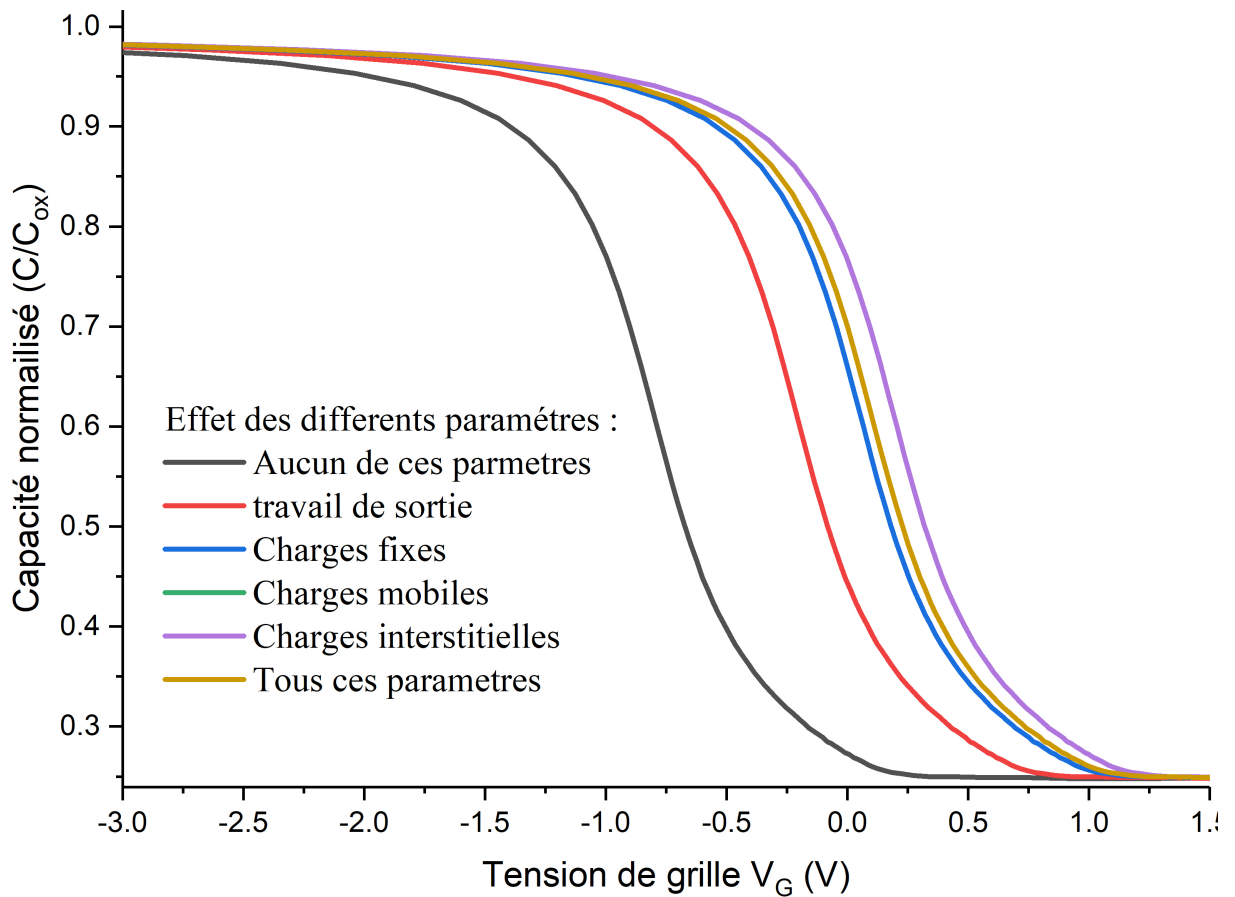


FIGURE I.8 – Effet des charges sur la caractéristique $C(V_G)$ d'une structure MOS réelle.

les prédire et prévoir ces comportement :

I.2.9.1. Les charge des pièges Q_{it}

D'après la figure (I.9). Les courbes $C-V_G$ est superposée l'une sur l'autre de $0.1eV$ à $0.5eV$. Alors qu'au-delà de $0.6eV$ pour la base Si et $2.6eV$ pour la base (SiC), la tendance $C-V$ présente un pic, ce pic disparaît à $1.08eV$ (gap de Si) et $3.26eV$ eV (gap de 4HSiC), cet variation du niveau d'énergie E_t de l'état de surface se produise une capacité supplémentaire avec un décalage de tension de seuil vers le sens positive de V_G .

la bosse ou le pic et le décalage de tension de seuil sont apparurent pour une densité (D_{it}) supérieur de $5 \times 10^{10} eV^{-1}cm^{-2}$, et niveau d'énergie des pièges E_t supérieur du $0.5eV$ pour la capacité MOS de base (Si) et supérieur du $2.5eV$ pour la capacité MOS de base (SiC). la présence d'un pic de capacité, dont la position est proche de la tension à bande plate. Ce comportement de pic unique commence à être observé à partir de $T =$

300 K pour un niveau d'énergie E_t de 0.6eV pour MOS à base Si et 2.6eV eV pour MOS à base (SiC), cet effet indique que le niveau des pièges est bien séparé des autres états des pièges dans l'échelle d'énergie. Le pic augmente avec l'augmentation de la densité dans la région d'inversion et leur amplitude plus large pour pour la capacité à base (SiC). Cette apparition est attribuée au changement du niveau du FERMI à l'interface qui entraîne une capacité supplémentaire [17, 18].

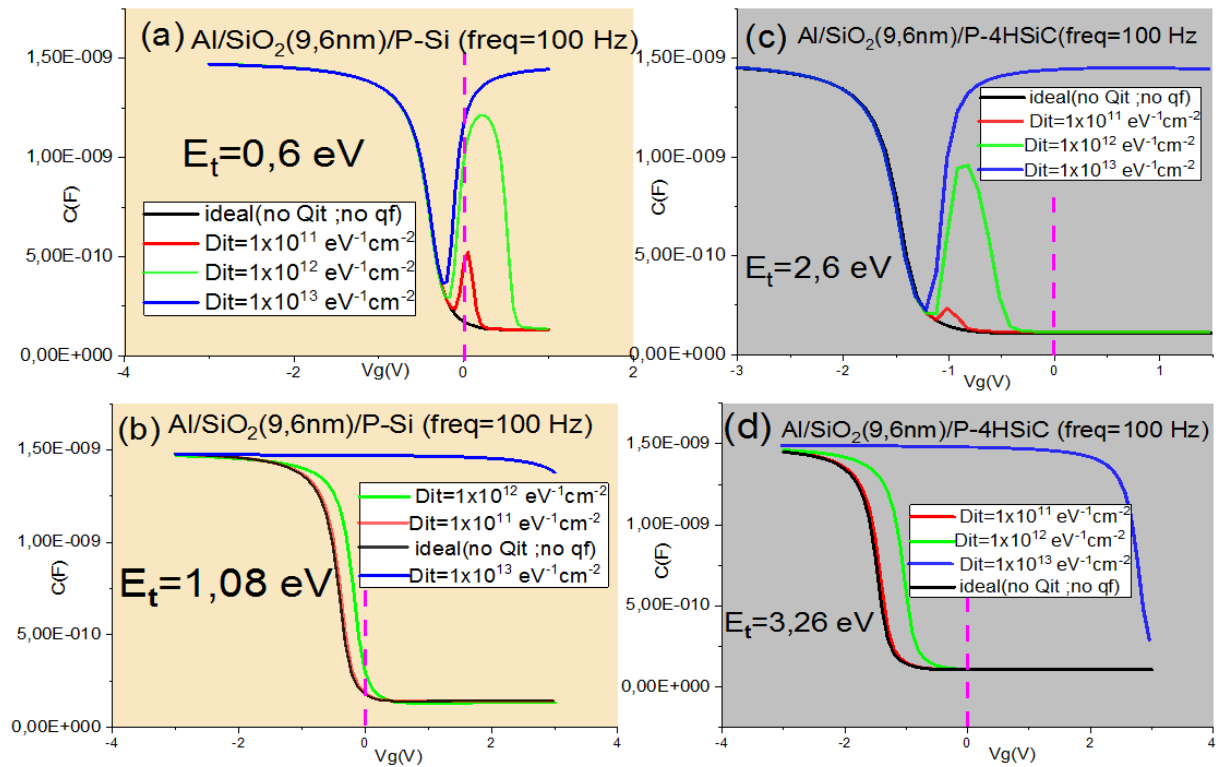


FIGURE I.9 – Effet de différentes densités des charges piégées à l'interfaces (D_{it}) sur $C(V_G)$.

I.2.9.2. Les charges fixes Q_f

La figure(I.10) montre le déplacement des courbes de capacités causé par les charges fixes situées près de l'interface et jouent un rôle très important dans le régime de bande plate V_{FB} . On observe que le déplacement est remarquable pour la capacité à base (SiC) [19].

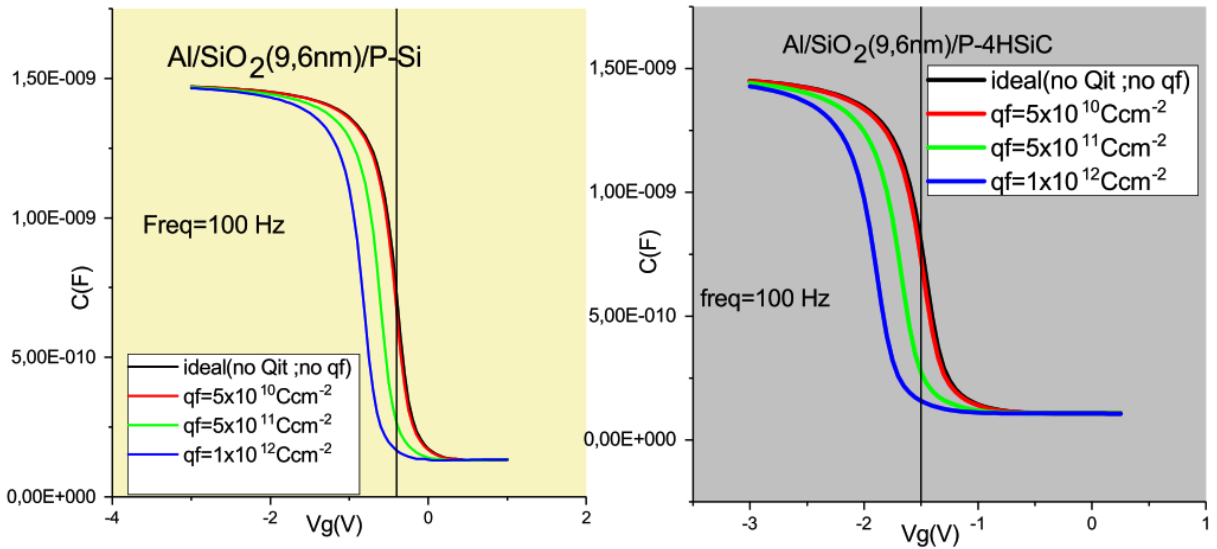


FIGURE I.10 – Effet des charges fixes.

I.2.9.3. Courant de fuite $I_G - V_G$

Comme les pièges d'interface sont des défauts électriquement actifs, ils ont contribué au courant de fuite et ils ont attribué au tunnel des électrons par un mécanisme du type assisté par les pièges (TAT) ce qui montre la figure (1.11), car l'augmentation du courant causé par l'augmentation des densités des pièges et le courant est interrompu lorsque tous les pièges sont pleins, à quel point la capacité MOS se comporte comme un isolant.

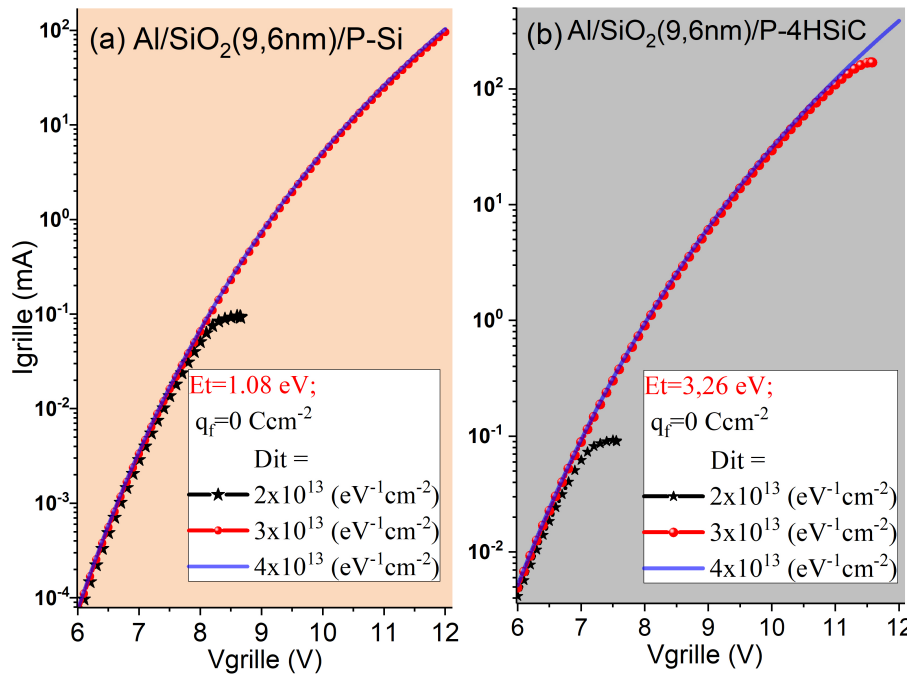


FIGURE I.11 – Effet de différentes densités des charges piégées à l'interfaces (D_{it}) sur $(I_G - V_G)$.

I.3. Le transistor à effet de champ MOSFET

Le transistor est la pierre angulaire des appareils électroniques modernes. C'est un dispositif semi-conducteur utilisé pour amplifier et commuter les signaux électroniques et électroniques de puissance. Le transistor est le composant actif clé de pratiquement toute l'électronique moderne. Beaucoup la considèrent comme l'une des plus grandes inventions du vingtième siècle [20]. Le premier transistor au silicium a été produit par Gordon Teal chez Texas Instruments en 1954 [21]. Le premier transistor à effet de champ Métal Oxyde Semiconducteur (MOSFET) réellement construit a été par Kahng et Atella aux Bell Labs en 1960 [22]. Les transistors font désormais partie de la vie quotidienne de presque tout le monde. Ces appareils avec une majorité de téléphones portables, d'ordinateurs portables, d'iPod, de lecteurs et d'ordinateurs de bureau sont devenus populaires. Les utilisateurs utilisent ces appareils pour diverses fonctions, notamment Internet, les e-mails, la musique, les jeux et la vidéo.

I.3.1. La mise à l'échelle des transistors MOSFETs et ses défis

L'un des principaux défis du transistor MOS est la réduction de l'appareil dimension. La principale préoccupation est de prédire les performances de l'appareil et comment les transistors fonctionnent et se comportent lorsque la taille de l'appareil diminue. La "mise à l'échelle" fait référence à la réduction des dimensions géométriques latérales des dispositifs MOSFET [23]. En 1965, Gordon Moore (plus tard fondateur d'Intel Corporation) a publié sa célèbre observation concernant l'évolution exponentielle de la densité des transistors dans les circuits intégrés (IC) au fil du temps. La « loi de Moore » indique que le nombre de transistors sur une puce doublera environ tous les 18 mois [24]. Cette prédiction a été le cas pendant de nombreuses années et remarquablement suivie par l'industrie des semi-conducteurs au cours du dernière siècle (Figure(I.12)).

Mais même dans ces premiers travaux, il y avait question de savoir combien de temps cette tendance à la mise à l'échelle pourrait se poursuivre. Seul le taux d'augmentation de la densité des transistors a été décrit par la loi de Moore, tandis que la réduction des dimensions physiques du dispositif MOS a amélioré à la fois le circuit vitesse et activé

des circuits intégrés moins chers. En fait, la mise à l'échelle permet la fabrication de plus appareils pour le même prix [25].

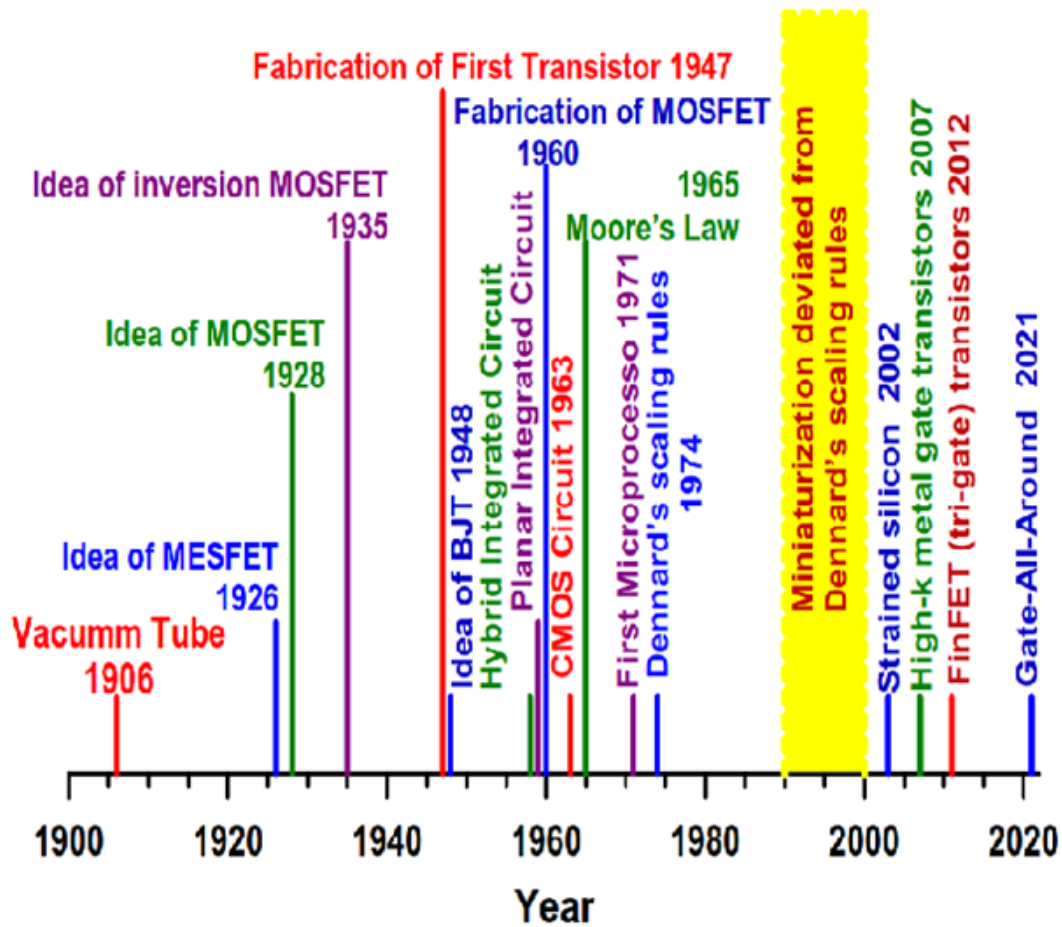


FIGURE I.12 – Évolution du transistor pendant un siècle[26].

Depuis le début des années 1990, les entreprises de semi-conducteurs et les universités ont décidé de prédire l'avenir de l'industrie des dispositifs semi-conducteurs plus précisément. Cette initiative a donné naissance à l'organisation International Technology Roadmap for semi-conducteur (ITRS) [28, 29].

L'ITRS publie chaque année un rapport qui sert de référence pour le semi-conducteur industrie. Les rapports représentent la meilleure opinion sur les orientations de la recherche dans le type de technologie, d'outils de conception, d'équipements et d'outils de métrologie qui doivent être développés afin de suivre le rythme des progrès exponentiels des semi-conducteurs dispositifs prédits par la loi de Moore, y compris des délais allant jusqu'à environ 15 ans dans le futur[30]. La figure (I.13) montre l'évolution des transistors par puce (loi de Moore) prévu par l'ITRS 2005 pour la mémoire et le

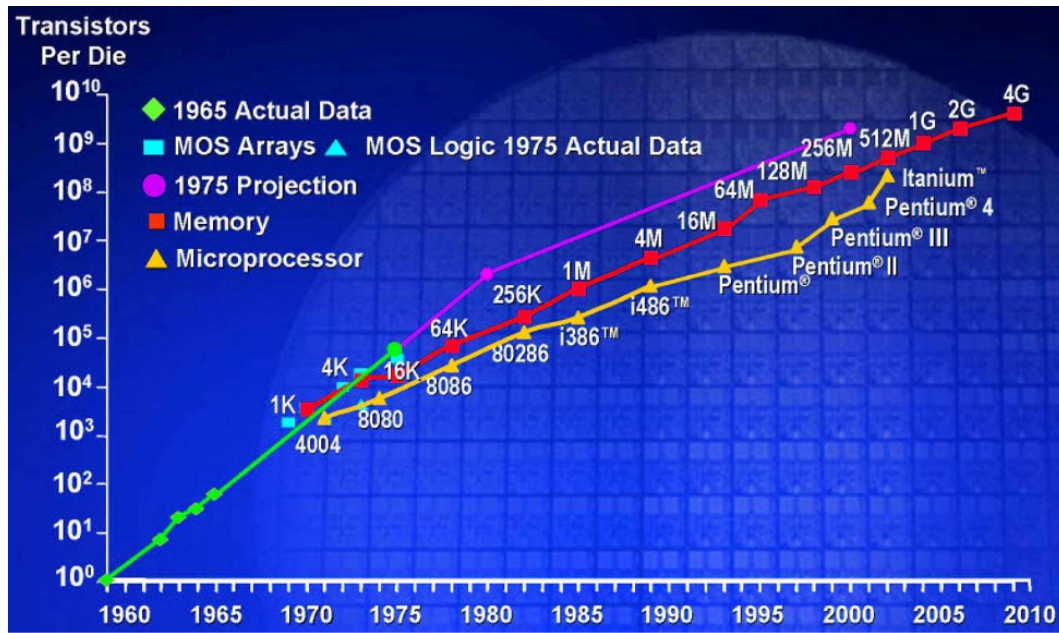


FIGURE I.13 – Évolution du nombre de transistors par puce (loi de Moore) prédite par l'ITRS 2005 pour la mémoire et le microprocesseur [Intel Corporation][27].

microprocesseur.

I.3.2. Extraction des paramètres

Les techniques d'extraction de paramètres sont un autre aspect important dans le processus de modélisation de dispositifs et simulations de circuits. Il joue un rôle important pour combler la communauté entre la fabrication de puces et la conception de circuits intégrés (CI). En fait pour la conception de systèmes sur puce, des modèles de simulation analogiques réalistes sont nécessaires[29]. De plus, la précision des simulations de circuit ne dépend pas seulement d'une précision modèle (description mathématique correcte), mais aussi sur une extraction de paramètres techniques afin de déterminer la valeur précise des paramètres du modèle [31] .

La caractéristique courant-tension d'une structure MOS joue un rôle primordial pour la compréhension des propriétés des semi-conducteurs et des composants transistors MOSFET et des condensateurs MOS, dont l'analyse permet d'obtenir des informations sur leurs performances. Le fonctionnement d'un tel composant est influencé par les paramètres de chaque mécanisme intervenant dans le courant global. Or ces paramètres caractéristiques d'un tel composant sont : la conductivité (σ) du courant ohmique, la

densité des pièges (D_{it}) et la barrière de potentiel (ϕ_t) du courant tunnel assisté par les pièges (TAT) la constante diélectrique de l'oxyde (ϵ_r) du courant de Pool-Frenkel et la barrière de potentiel (ϕ_B) du courant Fowler-Nordheim . L'extraction des paramètres caractéristiques d'un condensateur MOS est une tâche très importante sur le plan de conception, ou bien en vue d'une simulation pour prédire le comportement qui se rapproche de la réalité à partir de deux aspects :

I.3.2.1. La caractéristique courant tension(I-V)

Dans la littérature plusieurs méthodes ont été proposées pour l'extraction des paramètres cités ci-dessous. Elles peuvent être réparties comme suite [32] :

- Méthodes utilisant des fonctions auxiliaires.
- Méthodes utilisant la conductance.
- Méthodes utilisant l'intégrale du courant.
- Méthodes utilisant les algorithmes d'optimisation.

Dans le troisième chapitre, on propose une nouvelle méthode (NDC_{New}) pour déterminer les paramètres du courant Poole-Frenkel.

I.3.2.2. La caractéristique capacité tension(C-V)

L'outil le plus couramment utilisé pour étudier en détail la qualité de l'oxyde de grille est la technique Capacitance-Voltage (C-V). Les résultats des tests C-V offrent une multitude d'informations sur les dispositifs et les processus, y compris les charges de masse et d'interface et de nombreux paramètres de dispositifs MOS [33]. L'importance des techniques de mesure C-V est qu'un grand nombre de paramètres de l'appareil peuvent être extraits des courbes C-V haute fréquence qui sont décrites ici ainsi que du C-V quasi-statique. Ces paramètres peuvent fournir des informations critiques sur l'appareil et le processus de fabrication[34]. On peut diviser les paramètres grossièrement en trois groupes. Le premier groupe comprend les paramètres typiques des dispositifs MOS tels que la tension de bande plate, la tension de seuil, etc. Le groupe suivant, les paramètres de charge d'oxyde, comprend la densité de charge du piège d'interface, la

densité de charge des ions mobiles, etc. Le troisième groupe comprend les paramètres liés au dopage. Les paramètres suivants peuvent être extraits des mesures de condensateur MOS[35] :

- Épaisseur d'oxyde (diélectrique)
- Charges dans l'oxyde.
- Résistance à la dégradation des oxydes.
- Type de conductivité.
- Concentration de dopage.
- Profil de dopage dans le silicium.
- Différences de fonction de travail.
- Densités de pièges d'interface.
- Propriétés des pièges à électrons et à trous.
- Durée de vie des porteurs minoritaires dans le silicium.

Afin d'extraire les paramètres ci-dessus, plusieurs techniques de mesure de capacité-tension (C-V) ont été développées. Celles-ci incluent (i) la mesure C-V haute fréquence, (ii) la mesure C-V basse fréquence ou quasi-statique, (iii) la mesure C-V pulsée et (iv) la mesure capacité-temps (C-t). De plus, en utilisant les données C-t, la durée de vie de génération de porteurs et la durée de vie de recombinaison peuvent être extraites. Pour les mesures MOS C-V, l'échantillon doit être polarisé à une tension qui passera de l'accumulation à l'inversion, et une source sinusoïdale à petit signal (environ 10 mV d'amplitude) pour la détermination de la capacité[36].

Un logiciel d'analyse de données, écrit à l'origine pour l'extraction automatisée des paramètres de condensateur MOS. La procédure suivante pour la mesure C-V haute fréquence (HF) est décrite. Les propriétés diélectriques qui peuvent être extraites des mesures HF C-V sont la concentration de dopage moyenne, la charge d'interface effective et la tension de seuil[35, 37].

A) La procédure d'extraction :

1. Le carré de la capacité inverse d'une structure MOS devrait varier linéairement avec la tension de polarisation appliquée dans la région d'appauvrissement ;

2. Sa pente donne la concentration de dopage ;
3. Son point d'intersection avec l'asymptote de capacité maximale donne la tension de bande plate (V_{FB}) ; et
4. Son point d'intersection avec l'asymptote de capacité minimale donne le début d'une forte inversion ou la tension de seuil (V_{Th}) [38].

B) **Techniques d'analyse** : Bon nombre des paramètres mentionnés ci-dessus peuvent être extraits d'un ou plusieurs des éléments suivants :

1. Courbes C-V haute fréquence. ;
2. C-V basse fréquence ou quasi-statique ;
3. Courbes conductance-tension (G-V) souvent prises à différentes fréquences [39].

Par exemple, si on considère la densité de pièges d'interface (D_{it}) en fonction de l'énergie dans la bande interdite silicium, ce paramètre typique porte un grand intérêt [40] car, une faible concentration des pièges d'interface, nous indique une interface de haute qualité entre l'oxyde et le semi-conducteur.

Les méthodes possibles pour trouver D_{it} et leurs mérites relatifs sont :

1. A partir des mesures expérimentales conductance-Voltage (G-V). C'est la technique la plus précise développée, mais elle est plus compliquée à mettre en œuvre que ses alternatives et ne donne des résultats que sur une partie de la bande interdite [41].
2. Comparaison d'une courbe quasi-statique expérimentale à une courbe expérimentale à 1 MHz. Cela donne des données sur une plus grande partie de la bande interdite et élimine le besoin de toute comparaison théorique.
3. Comparaison d'une courbe quasi-statique expérimentale à la courbe quasi-statique théorique. Les résultats couvrent la plage la plus large de la bande interdite, mais la question de la conversion du tracé de la capacité en fonction de la tension de grille en capacité en fonction du potentiel de surface dans le silicium doit être résolue [42].

I.4. Conclusion

Selon la processus de dépôt de l'oxyde sur le semi-conducteur, on peut avoir plus ou moins de charges dans l'oxyde. il y a une probabilité de transition des électrons du semi-conducteur vers les pièges qui sont dans l'oxyde lorsque ces charges sont positives elles peuvent attirer des électrons du semi-conducteur vers l'oxyde en régime d'inversion pour MOS avec substrat de type p). Cette probabilité qui dépend de la distance entre les charges et la région d'interface semi-conducteur-oxyde, ainsi de la hauteur de la barrière. L'effet de charges dans l'oxyde revient à une translation horizontale de la courbe C-V. On peut alors calculer le nombre des charges dans l'oxyde en utilisant l'intégrale, ou encore à partir de la tension de bande plate V_{FB} pour atteindre la réponse des porteurs minoritaires (couche d'inversion). Enfin, en régime d'inversion la seule différence qui apparaît est dans la région inversion parce que les porteurs minoritaires n'ont pas le temps de se générer ce qui explique la capacité $C_{ox} \approx 0$ pour les tensions positives.

Les résultats montrent qu'en fonctionnement à température ambiante, des valeurs de densité de charge d'interface positive supérieures à $10^{12} \text{cm}^2 eV^{-1}$ ont pour effet de changer le comportement $C - V_G$ haute fréquence en un comportement basse fréquence. La bosse dans la position du profil $C - V_G$ dépend de la quantité, de la polarité et de la température des états de l'interface. Les électrons et les trous occupant les pièges d'interface se chargent et contribuent au décalage de tension de seuil et une bosse existe dans les caractéristiques $C - V_G$. De plus, le décalage de la tension de seuil dépend fortement des densités de charge d'interface positive et négative. En fonctionnement à haute température, le décalage de la tension de seuil est moins significatif, ce qui a été trouvé dans la direction opposée pour les densités de charge d'interface positive et négative. À 300 K et plus, la capacité dans la région d'appauvrissement a tendance à être plus étirée, démontrant plus d'états d'interface.

CHAPITRE II

TECHNOLOGIE ET CONCEPTION ASSISTÉE PAR ORDINATEUR DES STRUCTURES MOS PAR LOGICIEL TCAD

II.1. Introduction

À l'ère des systèmes sur puce (System-on-Chip « SoC ») fabriqués avec une technologie CMOS (métal-oxyde-semi-conducteur complémentaire) submicronique ultra-profonde, l'industrie des semi-conducteurs doit suivre le rythme des exigences accrues en termes de performances et de capacité des consommateurs[43]. La technologie CMOS sous-90 nm actuelle pose plusieurs défis critiques aux concepteurs de circuits et de composants intégrés en ce qui concerne le comportement caractéristique et les performances des transistors MOS. De plus, il y a une énorme pression sur les concepteurs pour réduire le temps de conception pour des raisons économiques. Pour faire face à des problèmes tels que l'écart de productivité de conception et la baisse de rendement, ainsi que pour garantir le bon comportement de chaque appareil, il est nécessaire d'impliquer des méthodologies de conception assistée par ordinateur (CAO) et des outils d'automatisation de la conception[44]. Afin de simuler la caractéristique courant-tension (I-V) et extraire

les paramètres ayant un grand intérêt dans cette caractéristique par le simulateur Silvaco TCAD, on évoquera dans ce chapitre en premier lieu l'intérêt du simulateur TCAD ensuite le processus de simulation de ce composant MOS qui fait l'objet de cette étude par ce simulateur.

II.2. Technologie de conception assistée par ordinateur (TCAD)

La technologie de conception assistée par ordinateur (TCAD) est un outil d'automatisation et de conception électronique qui modélise le fonctionnement et la fabrication des composants à semi-conducteurs sur la base de la physique fondamentale grâce à des simulations assistées par ordinateur pour la conception et l'optimisation de la technologie des composants à base des semi-conducteurs. Le coût et le temps de fabrication de produits électroniques peuvent être réduits en utilisant des outils TCAD, rendant ainsi TCAD indispensable pour concevoir le processus technologique de ces composants MOS modernes. La simulation TCAD gagne en importance pour les universités ainsi que pour les nombreuses industries de conception sans usine d'utiliser un prototype en silicium car il est prohibitif pour la vérification de la conception[44].

La technologie de conception assistée par ordinateur (TCAD), communément appelée technologie CAO ou TCAD, est l'automatisation de la conception électronique qui modélise la fabrication des composants MOS et leurs fonctionnements. TCAD est l'art d'abstraire le comportement électrique des circuits intégrés par une analyse critique et une compréhension détaillée des données de simulation de processus technologique, des composants électronique et des circuits intégrés[45].

En général, le simulateur TCAD comporte :

1. La modélisation de la lithographie pour simuler l'imagerie du masque par l'équipement de lithographie, les caractéristiques de la résine photosensible et le traitement .
2. La modélisation du processus frontal pour simuler les effets physiques des étapes de fabrication utilisées pour fabriquer des transistors jusqu'à la métallisation.

3. La modélisation de composants à l'aide d'une hiérarchie de modèles physiques pour la description opérationnelle de composants actifs ; modélisation compacte pour les composants de circuits actifs, passifs et parasites .
4. La modélisation des interconnexions pour analyser la réponse opérationnelle des architectures back-end ; modélisation de la fiabilité pour simuler la fiabilité et les effets connexes sur les niveaux de processus, de dispositif et de circuit .
5. La modélisation des équipements pour simuler l'influence locale des équipements sur chaque point de la plaquette, notamment dans les procédés de dépôt, de gravure et de polissage mécano-chimique (CMP)[46].
6. Simulation de boîtiers pour la modélisation électrique, mécanique et thermique de boîtiers de puces ; modélisation des matériaux pour prédire les propriétés physiques et électriques des matériaux.
7. La conception des modèles de la fabrication et du rendement pour simuler l'impact de la variabilité des processus et des fluctuations des dopants sur les performances des circuits intégrés et déterminer les spécifications de conception pour la fabrication et le rendement des circuits intégrés.
8. Les techniques numériques comprenant des générateurs de grille, des techniques d'avancement de surface, des solveurs pour des systèmes d'équations aux dérivées partielles (EDP) et des routines d'optimisation[47].

TCAD offre des capacités pour analyser comment des facteurs structurels tels que la géométrie et les paramètres du processus technologique influencent le comportement électrique des composants et des circuits intégrés. Les données de simulation aident à quantifier les détails des modèles de comportement des circuits intégrés aux niveaux des transistors et montrent les limites physiques aux niveaux du traitement et de la fabrication[43].

Par modélisation inverse, les outils TCAD étendus peuvent être utilisés pour développer la technologie de fabrication de circuits intégrés à partir de la spécification du produit à la technologie de fabrication de circuits intégrés.

II.3. Historique du processus TCAD

L'impact réel d'un outil de CAD à usage général est apparu au milieu des années 1980 avec le développement de programmes tels que DEVICE aux *AT and T Bell Laboratories* [48], PISCES-II à l'Université de Stanford [49]. Chacun de ces programmes fonctionnait pour deux porteurs de charges, autorisait des non-planarités arbitraires des appareils et comprenait un ensemble plus complet de matériaux, de modèles physiques et de capacités de simulation que l'état de l'art antérieur. Cependant, les principaux avantages de ces outils étaient des méthodes de calcul améliorées telles que la discrétisation et la génération de grilles, des techniques de résolution linéaires et non linéaires qui rendaient la simulation de composants pratique pour les concepteurs de composants .

Il convient de noter que PISCES-II a été commercialisé par Technology Modeling Associates (TMA), Actuellement, les principales sources d'outils TCAD commerciaux sont Synopsys [50] et Silvaco [51].

Les outils Synopsys TCAD incluent le processus/dispositif Taurus TSUPREM4/MEDICI pour le TCAD 2D et le processus/dispositif Sentaurus pour le TCAD 2D et 3D.

Les outils Silvaco TCAD incluent ATHENA pour la simulation de processus 2D, ATLAS pour la simulation de composants 2D et le processus/dispositif Victory pour la simulation 3D.

II.4. Processus de simulation par TCAD

Le processus TCAD fait référence à la modélisation des processus de simulation numérique des effets physiques, des étapes de traitement des circuits intégrés utilisées pour fabriquer des transistors jusqu'à la métallisation.

Le processus TCAD utilisant le module ATHENA est utilisé pour simuler les étapes de traitement des semi-conducteurs telles que l'oxydation et la diffusion, le dépôt et gravure, implantation ionique et recuit, et générer des fichiers de données d'entrée pour la simulation des composants de manière aussi réaliste que possible sur la base des informations microscopiques, comme illustré à la figure(II.1) .

Dans le domaine de la **simulation des procédés**, les modèles physiques pour la

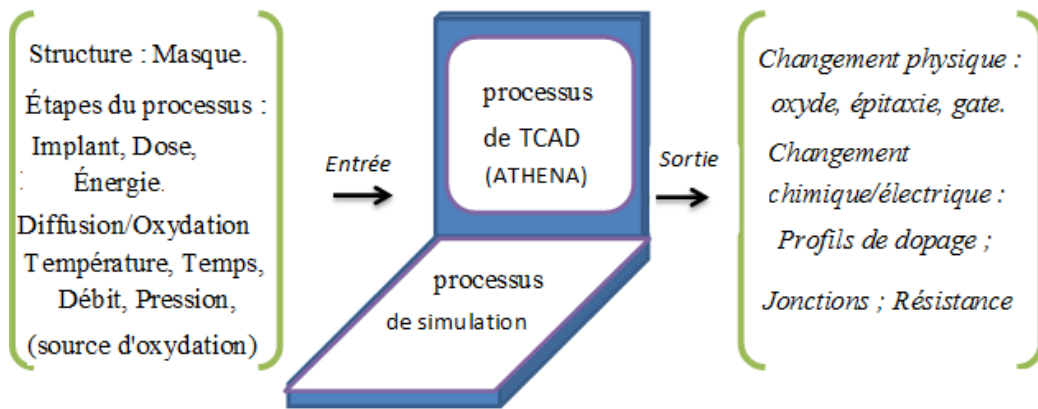


FIGURE II.1 – Simulation du processus de fabrication de circuits intégrés à l’aide de la TCAD de processus pour générer un fichier d’entrée pour la simulation de l’appareil ; le « changement physique » fait référence au changement structurel du dispositif tel que la croissance d’oxyde, tandis que le « changement chimique » fait référence à la diffusion des impuretés ; process TCAD comprend des modèles de processus physiques pour effectuer une simulation numérique de processus.

technologie des procédés étaient plutôt limités années 1970, et les simulateurs de processus sophistiqués avec des modèles multidimensionnels n’étaient pas nécessaires pour la grande géométrie des appareils à l’échelle micrométrique . Ces dernières années, la compréhension physique des processus du dispositif MOS a considérablement progressé. De plus, l’évolution actuelle des composants MOS vers le régime à l’échelle nanométrique nécessite des modèles de processus multidimensionnels précis[52].

II.4.1. Logiciel TCAD

TCAD des composants MOS fait référence à la simulation numérique du leur fonctionnement . En général, le logiciel TCAD comprend une suite de modèles physiques décrivant le transport de porteurs dans les matériaux [53]. Les modèles de composants vont de la simple diffusion de dérive, qui résout les équations de Poisson et de continuité, à des modèles plus complexes et complexes en termes de calcul, tels que le bilan énergétique, qui résout une simplification de moment plus élevé de l’équation de transport de Boltzmann (BTE)[54] ?comme illustré à la figure(II.2) .

De plus, la physique complexe des composants à l’échelle nanométrique d’aujourd’hui impose l’utilisation de codes de Monte Carlo (MC), qui résolvent statistiquement l’équations de Poisson, et l’utilisation de solveurs de Schrödinger qui tiennent compte du effets mécaniques quantique (QM) dans les composants MOSFET [55].

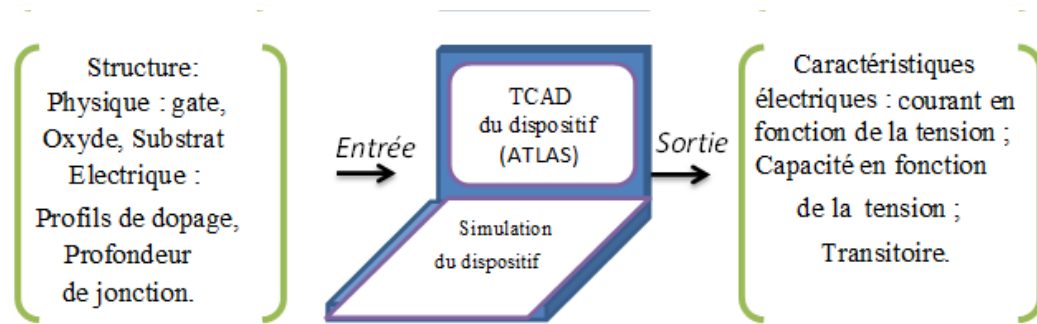


FIGURE II.2 – simulation de composants à IC à l'aide de la CAD de composants pour générer des caractéristiques électriques pour l'analyse de circuits; La TCAD des composants comprend des modèles physiques de simulation numérique de ces derniers.

II.4.2. Motivation à utiliser Silvaco-TCAD

Afin d'optimiser et augmenter les performances des composants électronique, il est indispensable d'utiliser le logiciel TCAD. Cette optimisation est une tâche complexe en raison de la complexité des équations décrivant les performances des composants à semi-conducteur. Pour les composants à semi-conducteurs, la conservation des particules est modélisée par plusieurs équations aux dérivés partielles (EDP) non linéaires à couplage croisé[56] :

- * L'interaction des particules chargées due aux champs électriques est modélisée par l'équation de Poisson, et les concentrations de particules liées aux flux de particules et à la génération et à la recombinaison sont modélisées par équations de continuité.
- * De plus, les concentrations d'électrons et de trous sont liées de manière exponentielle aux potentiels via Boltzmann, Fermi-Dirac ou d'autres fonctions de distribution de probabilité déterminées de manière exponentielle.

Ces équations sont difficiles à résoudre à la main, ce qui fait de l'analyse assistée par ordinateur une alternative souhaitable. Encore une fois, avec l'introduction du programme SPICE (Simulation Program with Integrated Circuit Emphasis) de Berkeley en 1975, le simulateur de circuit est devenu une conception utile.

Cependant, pour une analyse précise des circuits, des modèles des composants compacts, communément appelés modèles SPICE, sont nécessaires. Pour la génération de modèles SPICE, le logiciel TCAD est devenu une nécessité [?] . Ainsi, l'utilisation généra-

lisée de la simulation de circuit a également motivé le développement et l'utilisation de la TCAD de composants pour l'analyse de composants MOS.

La figure(II.3) illustre l'utilisation de la TCAD de composants pour générer des modèles compacts pour l'analyse de dispositif MOS. Les modèles compacts tels que SPICE fournissent un excellent cadre pour analyser différents modes de comportement des circuits MOSFET. Cependant, pour que le modèle SPICE soit utile en pratique, des valeurs fiables pour les paramètres du modèle doivent être générées [57] . Les paramètres SPICE lier les conditions de fabrication des composants à partir des entrées telles que :

- * la géométrie du dispositif,
- * le maillage,
- * les profils de dopage,
- * champ électrique,densité des pièges à l'interface comme le montre la figure (II.3),
- * les conditions de polarisation pour générer des fichiers de données pour les caractéristiques du dispositif telles que la capacité ($C - V_G$) et le courant ($I - V_G$).....

Les fichiers de données simulés sont ensuite utilisés pour extraire les paramètres du modèle SPICE pour l'analyse du comportement de dispositif.

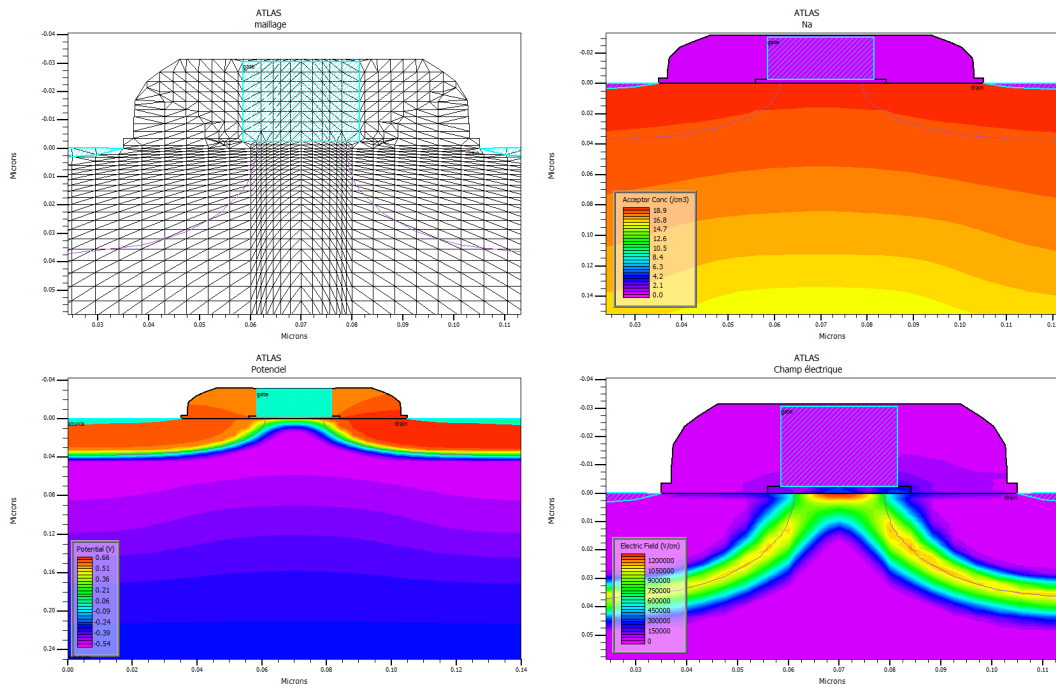


FIGURE II.3 – Une structure de dispositif MOSFET illustre quelques paramètres ex tractés a partir l'usage de ATHENA de SILVACO .

Une autre motivation majeure pour l'utilisation de la simulation des composants par TCAD est d'étudier la faisabilité de la réalisation de ces composants dans la fabrication. Au fur et à mesure que les composants MOSFET sont réduits, les performances des composants sont gravement dégradées par l'effet de canal court (SCE), l'abaissement de barrière induit par le drain (DIBL), les effets de mécanique quantique (QM), etc. L'utilisation de la CAD de l'appareil est essentielle pour minimiser ces effets physiques et améliorer les performances des composants en optimisant leurs structures. La figure(II.4) montre une structure de dispositif MOSFET à l'échelle nanométrique conçue pour supprimer le SCE, réduire les effets DIBL et QM et améliorer les performances du dispositif[58, 59, 60] .

La structure MOSFET illustrée à la figure (II.4) comprend une grille , un oxyde de grille (t_{ox}), des profils de dopage de canal non uniformes verticalement et latéralement , des extensions source-drain peu profondes (SDE) et des sources-drain profondes (DSD).

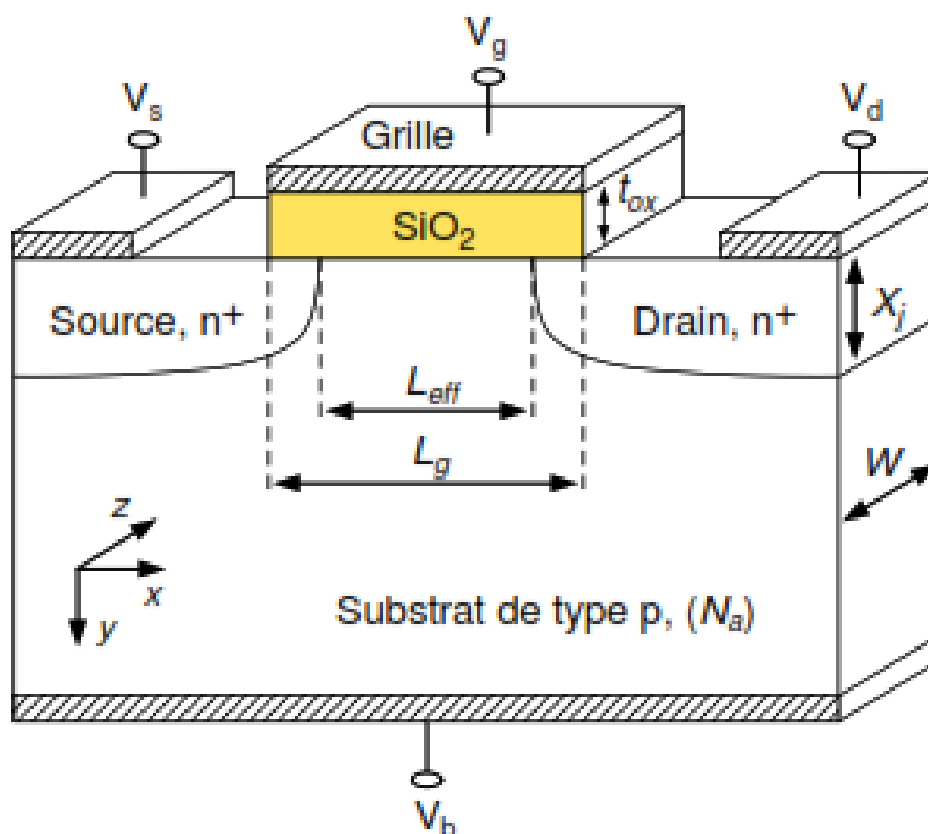


FIGURE II.4 – Une structure du composant MOSFET idéalisée montrant les éléments technologiques de base : L_g et L_{eff} sont respectivement les longueurs de canal dessinées et effectives, t_{ox} est l'épaisseur de l'oxyde de grille, W est la largeur de canal, X_j est la profondeur de jonction des régions des extensions source-drain (SDE) [60] .

Un profil de dopage de canal rétrograde super raide (super steep retrograde SSR) avec une faible concentration d'impuretés à l'interface (Si/SiO_2) et une concentration de pic plus élevée à une profondeur finie sous l'interface est utilisé pour pro - vider le profil vertical non uniforme du canal [61] . Le profil SSR est optimisé pour atteindre la tension de seuil (V_{TH}) pour les appareils longs et larges. Le profil SSR fournit également un contrôle V_{TH} supérieur. Les profils de dopage halo sont optimisés pour atteindre le courant de fuite cible pour les composants nominaux. En réalité, les profils de dopage de canal faible-élevé sont obtenus en utilisant plusieurs couches enterrées sous une couche épitaxiale non dopée d'épaisseur appropriée . Comme, en réalité, les profils implantés d'ions sont non linéaires, des outils d'analyse de composants 2D/3D plus sophistiqués sont nécessaires pour l'optimisation des composants. Ainsi, l'utilisation de la CAD des dispositifs est essentielle pour optimiser les profils de dopage halo en conjonction avec d'autres paramètres technologiques clés tels que la profondeur de jonction T_{ox} et SDE (X_j) pour réaliser les MOSFET nanométriques à double halo dans la fabrication [62] .

II.4.3. Motivation d'utiliser TCAD pour simuler un MOSFET

Dans la section précédente, nous avons établi la motivation pour la TCAD des composants dans la détermination des paramètres de conception de composants MOSFET. Maintenant, discutons de certains paramètres critiques dans les MOSFET qui dépendent directement des caractéristiques quantitatives des profils de dopage au sein du dispositif.

Étant donné que les profils de dopage sont déterminés par des variables de processus telles que l'énergie d'implantation d'ions, la dose totale implantée et les cycles de temps/température d'entraînement, la dépendance des paramètres du dispositif aux variables de processus fournit une motivation pour la simulation de processus[63].

Pour les composants MOSFET, V_{TH0} et d'autres paramètres du dispositif sont directement liés à la distribution du profil de dopage du canal dans la structure du dispositif . Afin de produire des paramètres de modèle compacts précis tels que V_{TH0}

II.5. Simulation d'un composant MOS par Silvaco-TCAD

L'un des problèmes critiques pour la fabrication de composants MOS est la conception précise du fonctionnement . Il est tout à fait naturel de prédire le fonctionnement des composants par des calculs informatiques à l'aide des simulateurs et des modèles d'appareils. Les composants réduits à la plage du déca-nanomètre, fonctionnant à leurs limites physiques, imposent des exigences strictes à la modélisation et à la simulation des caractéristiques des composants .

La modélisation et la simulation assistées par ordinateur jouent un rôle crucial dans le développement et la prédiction des propriétés des technologies modernes. En raison de la fabrication d'essais et de la reconception des circuits, le coût des circuits intégrés modernes et très denses contenant des composants submicroniques profonds est très élevé .

Au cours des dernières années, le simulateur de composants SILVACO devient une branche extrêmement importante des outils de conception et d'ingénierie pour l'analyse et à la caractérisation de structures et de composants semi-conducteurs autonomes et/ou couplés dans des circuits intégrés. TCAD a déjà été considéré comme un outil inestimable dans la recherche et le développement de nouvelles technologies dans les processus de semi-conducteurs et la conception de composants [64].

Le prochain chapitre illustre les aspects clés des outils Silvaco TCAD, montrant leurs capacités à comprendre le comportement physique et le potentiel d'une structure de composants MOS. Les simulateurs de composants Silvaco TCAD fournissent un aperçu unique du fonctionnement interne de la structure du dispositif analysé en utilisant une variété de modèles complexes basés sur la physique et des solveurs numériques avancés garantissant des calculs stables.

Tout dispositif semi-conducteur est représenté par une structure dont les propriétés électriques et physiques sont discrétisées sur un maillage de nœuds. La structure du dispositif bi/tridimensionnel peut être la sortie du simulateur de processus ou peut être fournie à partir d'un fichier d'entrée contenant les informations de maillage, les types de matériaux, les profils de dopage dans des régions spécifiques, les noms des terminaux et des conditions aux limites correctement définies avec champs électriques, optiques,

mécaniques, magnétiques et thermiques externes appliqués. Un ensemble complet de modèles électrophysiques est également fourni pour caractériser les comportements de divers effets physiques présents dans un semi-conducteur.

Un simulateur des composants calcule les caractéristiques de sortie en résolvant un ensemble d'équations aux dérivées partielles par des techniques numériques itératives [65]. La simulation de composants bidimensionnels avec des modèles calibrés correctement sélectionnés et une structure de maillage appropriée bien définie sont très utiles pour l'analyse paramétrique prédictive de nouvelles structures de composants.

II.5.1. Historique de Silvaco-TCAD

- Des exemples de premières simulations numériques de semi-conducteurs ont été développés dans le logiciel TCAD de simulation à usage général.
- SUPREM (Stanford University Process Engineering Models) et PISCES (Poisson and Continuity Equation Solver) sont issus des recherches effectuées à l'Université de Stanford.
- SUPREM3 est un simulateur de processus unidimensionnel, tandis que SUPREM4 est un simulateur de processus bidimensionnel.
- PISCES est le simulateur de dispositif bidimensionnel correspondant. TSUPREM4 et MEDICI sont les versions de ces programmes de Technology Modeling Associates (TMA) formé en 1979.
- ATHENA et ATLAS sont des alternatives commerciales équivalentes de ces programmes, car Silvaco a ensuite obtenu une licence pour ces programmes de l'Université de Stanford.
- L'autre fournisseur majeur de TCAD est Integrated Systems Engineering (ISE). Leurs produits alternatifs équivalents sont DIOS et DESSIS de l'ISE [66].

II.5.2. Défis de simulation d'un dispositif MOS

Il existe des doutes au sein de l'industrie quant à la capacité d'effectuer un simulateur TCAD à prédire correctement les résultats expérimentaux. La raison en est le manque

de modèles appropriés pour décrire le comportement physique du dispositif réel, et la sélection de modèles électro-physiques appropriés, en particulier avec l'avancement de la technologie, où elle est activement menée aux niveaux théorique et expérimental.

Actuellement, les transistors MOS avec des longueurs de canal aussi petites que 10 nm sont étudiés sur la base de nouveaux effets tels que les effets mécaniques quantiques, les effets de contrainte, l'introduction de nouveaux matériaux, etc... , qui est devenu pertinent pour les composants submicroniques. Par conséquent, le défi actuel dans la simulation de composants est de faire face à ces nouveaux effets physiques[53] afin d'obtenir des résultats précis.

II.5.3. Application de la simulation de dispositif

L'objectif du procédé de simulation des composants est d'utiliser le résultat du processus de simulation pour analyser et prévoir les propriétés et le comportement de la structure des composants ainsi simulés avec un aperçu unique du processus interne et du fonctionnement de la structure.

La modélisation bidimensionnelle et tridimensionnelle et le processus de simulation contribuent à une meilleure compréhension des propriétés et du comportement des nouveaux composants en identifiant les composants inévitables, les parasites attribuant aux comportements de dysfonctionnement standard et aux performances dégradées. Sur la base de l'interprétation des données obtenues expérimentalement ainsi que du résultat de la simulation du composant, de nouvelles structures des composants avec des dispositions et des profils de concentration modifiés peuvent être conçus et vérifiés.

II.5.3.1. Fonctionnement du simulateur du dispositif ATLAS

ATLAS est un outil de simulation des composants. Le domaine d'ATLAS combine plusieurs outils de simulation unidimensionnels, bidimensionnels et tridimensionnels dans un progiciel complet de simulation de dispositif. Cela permet la simulation d'une grande variété de composants semi-conducteurs modernes.

ATLAS est un simulateur de dispositif prédictif basé sur la physique qui prédit les caractéristiques électriques associées à des structures physiques et des conditions de

polarisation spécifiques pour fournir un aperçu du fonctionnement et du comportement du dispositif.

Une description du dispositif est requise, afin de le simuler dans ATLAS. Les descriptions du maillage avec une grille à deux ou trois dimensions sont fournies via des instructions de ligne de commande ASCII fournies à ATLAS. La grille à deux ou trois dimensions se rapprochant de la structure du dispositif se compose d'un certain nombre de points de grille appelés nœuds. Le nombre maximum de points de grille est limité à 20 000, une contrainte fixée par ATLAS [67].

La figure (II.5) illustre les principaux composants de la simulation de composants semi-conducteurs. Il existe deux principaux ensembles d'équations fortement couplés qui doivent être résolus de manière cohérente. Ce sont les équations de transport régissant le flux des charges à l'intérieur du semi-conducteur, et les champs entraînant une telle charge. Ces champs sont obtenus à partir de la solution des équations de Maxwell. Cependant, les champs quasi-statiques sont calculés à partir des équations de Poisson à l'aide des conditions aux limites disponibles. Ces champs sont les moteurs du transport de charge [68].

Dans ATLAS, le transport de charge à chaque nœud du réseau est calculé en appliquant un ensemble d'équations différentielles, dérivées des lois de Maxwell, en conjonction avec des modèles physiques (c'est-à-dire avec des solutions numériques appropriées invoquées par l'utilisateur). Avec un point de polarisation défini, les propriétés du dispositif sont résolues par une procédure itérative. Cela permet à l'utilisateur d'analyser les propriétés électriques, thermiques et optiques des composants par simulation sans avoir besoin d'une fabrication réelle du dispositif et également de déterminer les courants et tensions constants et transitoires aux bornes en modes de fonctionnement continu, alternatif ou transitoire.

Afin de compléter la simulation, ATLAS résout six équations pour chaque point de la structure de réseau donnée. Ce sont l'équation de Poisson, deux équations de continuité des porteurs, deux équations de bilan énergétique et l'équation de flux de chaleur du réseau. Le choix des techniques de résolution de ces équations numériques peut fortement affecter le temps de convergence d'une simulation complète. Cependant, dans certaines

circonstances, il suffit de résoudre une seule équation de continuité de porteur (trou ou électron). Il est possible de fournir des paramètres à l'instruction **METHOD** pour spécifier quelle équation de continuité de porteuse (électron, trou ou les deux) doit être résolue. Le choix peut être fait à l'aide des paramètres **CARRIERS**. Par exemple, pour inclure à la fois l'électron et le trou, l'utilisateur doit spécifier "**PORTEURS = 2**" et pour les trous uniquement "**PORTEURS = 1 HOLE** » dans l'instruction **METHOD**.

II.5.3.2. Entrées Sorties ATLAS

Pour mettre en place une simulation du composant, la première étape requise est de définir le maillage de la structure. La structure de maillage peut être créée en entrant des instructions de ligne de commande textuelles dans **DECKBUILD** ou graphiquement par **DEVEDIT**. Les commandes textuelles telles que Maillage, région, électrode, dopage, etc., nécessitent la définition d'une structure donnée dans un ordre particulier, illustré dans les figures (II.3 et II.5). Il est possible de créer les mêmes structures en utilisant **DEVEDIT** (éditeur de structure et de maillage basé sur une interface graphique) qui fonctionne en conjonction avec **ATLAS**.

DEVEDIT est normalement préféré pour résoudre les problèmes de triangles inadéquats ou excessifs pour générer une structure de maillage non uniforme. **DEVEDIT** est également utile pour remailler une structure de dispositif souffrant d'une densité de maillage insatisfaisante pendant le processus et la simulation de dispositif, ou dans une étape intermédiaire entre le processus et la simulation de dispositif [69]. Mais il convient de mentionner que le simulateur de processus numérique **ATHENA** ne doit pas être remplacé par **DEVEDIT** lorsqu'il est important d'obtenir une structure d'appareil proche de dispositif fabriqué dans le monde réel. **DEVEDIT** produit deux types de sortie :

1. Un fichier de format (*.str) qui se compose d'un réseau, d'une région, etc.
2. Instructions de commande (*.de) qui sont une liste pour spécifier l'état actuel du développement Web. La commande **Meshbuild** crée un réseau en utilisant les paramètres réseau disponibles et enregistre le fichier **DEVEDIT** de deux manières :
 - (*.str) pour l'utilisation à l'aide d'outils comme **ATLAS** et **TONYPLOT**.
 - (*.de) pour la possibilité de modifier

En résumé, les simulations utilisent généralement deux entrées : un fichier texte (*.log) contenant des commandes à exécuter par ATLAS et un fichier de structure (*.str) définissant les régions et des commandes de sorte des paramètres de la structure de dispositif. ATLAS fournit trois types de sortie :

1. Sortie d'exécution : La progression de la simulation et les messages d'erreur ou d'avertissement sont donnés par la sortie d'exécution. Les différents paramètres affichés au cours de l'instruction SOLVE sont (a) « proj » désignant la méthodologie d'estimation initiale utilisée (précédent, local ou init) ; (b) "i,j,m" indique le nombre d'itérations de la boucle externe, de la boucle interne pour le découplage

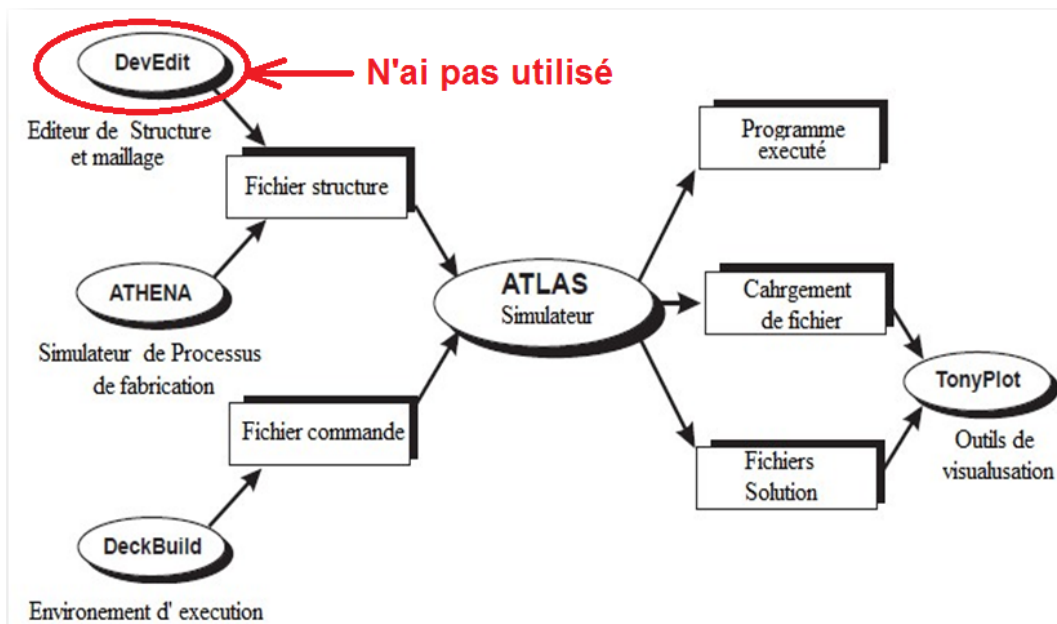


FIGURE II.5 – Entrées et Sorties dans l'environnement Atlas[67].

méthode et méthode numérique utilisée ; m = G, B ou N indiquant G = Gummel, B = Block et N = Newton, respectivement. (c) x,rhs désigne les normes de l'équation en cours de résolution, et (d) (*) indique la mesure de l'erreur.

2. Fichiers (*.log) : ils contiennent les informations électriques, ou plus précisément les données courant-tension, générées avec les courants et les tensions aux bornes appliqués lors de l'analyse de l'appareil.
3. Fichier (*.str) : Les fichiers de structure stockent les données bi et tridimensionnelles relatives aux valeurs des variables de la solution telles que le champ électrique, les potentiels électrostatiques, etc., au sein de l'appareil pour un seul point

de polarisation [70]. Les fichiers (*.log) et (*.str) sont visualisés à l'aide de TONYPLOT. Le tableau(II.1) résume les différentes techniques d'entrée et de sortie disponibles pour la simulation de composants à l'aide d'ATLAS.

II.5.3.3. Configuration de la simulation

Une fois qu'un fichier de structure est défini dans ATLAS, la partie restante de la configuration (à l'exception de l'analyse des résultats) consiste à fournir des instructions de ligne de commande qui doivent être utilisées pour instruire ATLAS afin de terminer une simulation. L'ordre dans lequel ces instructions sont données est important et peut être divisé en cinq groupes d'énoncés décrits dans le tableau(II.1).

TABLEAU II.1 – L'ordre de chaque groupe de commandes doit être spécifié dans ATLAS de (a) à (e)

<p>(a) Spécification de la structure</p> <ul style="list-style-type: none"> ➤ Spécification de la structure MESH. ➤ Spécification de la structure REGION. ➤ Placement des ELECTRODES. ➤ Spécification du profil de dopage 	<p>(b) Spécification du modèle</p> <ul style="list-style-type: none"> ➤ Spécification des MATÉRIAUX . ➤ Spécification des CONTACTES et L'INTERFACE ➤ Placement des MODELES. ➤ Spécification du profil de dopage
<p>(c) Sélection de la méthode numérique</p> <p>Appeler des solveurs numériques appropriés tels que :</p> <ul style="list-style-type: none"> ➤ METHOD GUMMEL NEWTON ou, BLOCK . <p>pour différentes conditions de fonctionnement avec des paramètres appropriés tels que le nombre d'itération, la limite d'erreur, etc...</p>	<p>(d) Spécification de la solution</p> <ul style="list-style-type: none"> ➤ Déclaration du fichier LOG qui contient la caractéristique I-V ➤ Spécification de la structure REGION. ➤ Placement des ÉLECTRODES. ➤ Spécification du profil de dopage
<p>(e) Analyse des résultats</p>	
<p>Extraction des paramètres via la commande EXTRACT Analyse de la structure du composant avec différentes polarisation à l'aide de l'outil post-traitement graphique TONYPLOT</p>	

Le non-respect de cet ordre peut entraîner l'arrêt prématuré d'une simulation ou la production d'un message d'erreur. L'ordre des déclarations au sein de chaque groupe,

telles que la définition structurelle, la spécification du modèle et les groupes de solutions, est également important. Ne pas placer ces déclarations dans le bon ordre peut entraîner les complications susmentionnées.

II.5.3.4. Outils de simulation de processus ATHENA

Les simulations de processus semi-conducteurs représentent des solutions numériques aux équations décrivant la physique de la diffusion des impuretés, de l'oxydation du silicium, de la lithographie, de l'implantation ionique, de la gravure et des étapes de dépôt, résultant en des géométries et des comportements définissant le dispositif. Bien que des programmes spécialisés soient utilisés pour chacun d'eux pour résoudre l'ensemble des équations, différents programmes utilisent différentes stratégies de résolution[71].

ATHENA est un programme-cadre qui intègre plusieurs programmes plus petits dans un outil de simulation de processus plus complet. Ce programme est axé sur la simulation des procédés de fabrication. Dans **ATHENA**, les composants sont créés par simulation du processus de fabrication. Pour optimiser les caractéristiques du composant, des modifications des paramètres de processus fournis à l'environnement du simulateur **ATHENA** sont nécessaire.

ATHENA se compose de quatre outils principaux et de plusieurs outils secondaires. Les principaux outils sont :

1. **SSuprem4** pour simuler l'implantation ionique, la diffusion, l'oxydation et le processus de siliciuration du silicium .
2. **Flash** pour simuler l'implantation et la diffusion de matériaux avancés .
3. **Elite** pour la simulation de topographie ;
4. **Optolith** pour la simulation de lithographie[72].

ATHENA offre également des options pour la modélisation des siliciures, la modélisation Monte Carlo de l'implantation ionique, etc.

II.5.3.5. ATHENA et ATLAS

ATLAS est très souvent utilisé en conjonction avec le simulateur de procédé **ATHENA** pour profiter de l'interfacier automatique entre eux. **ATHENA** prédit les structures phy-

siques résultant des étapes de traitement. Les structures physiques résultantes sont utilisées comme entrées par ATLAS, qui prédit ensuite les caractéristiques électriques pour un biais particulier. Par conséquent, il est possible de déterminer l'effet des paramètres de processus sur les caractéristiques de l'appareil en combinant ATHENA et ATLAS [67].

Cependant, il est beaucoup plus difficile de contrôler les paramètres réels des composants et leurs fonctionnements dans l'environnement du simulateur du processus ATHENA par rapport à l'environnement ATLAS. Il est possible de contrôler avec précision la structure du dispositif, les matériaux et les concentrations de dopage dans des régions spécifiques grâce à la syntaxe de code donnée dans ATLAS. Cependant, une modification du paramètre de processus individuel affecte la structure entière de du comosant dans ATHENA, ce qui rend un appareil construit dans ATHENA plus difficile à caractériser. ce qui implique un dispositif réalisé dans ATHENA est beaucoup plus proche d'un vrai transistor fabriqué [73].

II.6. Mécanisme de transport de charge dans les structures MOS

Un isolant idéal serait exempt de pièges avec une concentration négligeable de porteurs libres à l'équilibre thermique, ainsi une structure MOS idéale serait un dispositif isolant où aucun courant continu ne circulerait. En pratique, cela n'est pas vrai, notamment pour les couches diélectriques minces et les champs électriques élevés, comme dans les composants MOS actuels[74].

Le comportement macroscopique du courant de fuite dans la structure est régi le plus fortement par les propriétés du contact métal/oxyde et l'état des défauts de la couche d'oxyde, par conséquent, deux types de mécanismes de conduction sont pris en compte ; la conduction limitée par les électrodes et mécanismes par le volume [75].

II.6.1. Mécanismes de conduction limités par les électrodes

Les mécanismes limités par les électrodes dépendent fortement du matériau de l'électrode et de la hauteur de la barrière métal/oxyde. Ils comprennent l'injection du porteur sur la barrière Schottky à l'interface métal/oxyde par émission thermoïonique (émission Schottky) et l'effet tunnel à travers la barrière mince (effet tunnel direct et Fowler-Nordheim (FN))[76].

II.6.1.1. Mécanismes de tunnel : Tunnel direct (DT) et tunnel Fowler-Nordheim (FN)

Les mécanismes de transport des porteurs de charge les plus élémentaires, qui représentent la majorité des courants de fuite dans les diélectriques à base de SiO_2 , est de nature purement mécanique quantique et comprennent les tunnels directs (DT) et les tunnels Fowler-Nordheim (FN).

Le tunnel à travers toute la largeur du diélectrique (c'est-à-dire la barrière trapézoïdale) est DT (Figure(II.6a)), tandis que le tunnel à travers une barrière triangulaire est FN (Figure(II.6b)). Bien que l'effet tunnel mécanique quantique ne dépend pas de la température au premier ordre, par contre pour ordre supérieur il existent des facteurs dépendant de la température . Ces paramètres comprennent [77] :

- La masse effective dans l'électrode de grille, le oxyde et le semi-conducteur .
- Le nombre et l'énergie minorité et de majorité porteurs dans le semi-conducteur

Pour une seule barrière, la description mathématique de FN peut être simplifiée comme [78] :

$$J_{FN} = B_{FN} \times E_{ox} \exp\left(-\frac{A_{FN}}{E_{ox}}\right) \quad (II.1)$$

Où

$$B_{FN} = \frac{q^3 m^*}{16\pi^2 \hbar \phi_B m_e} \quad (II.2)$$

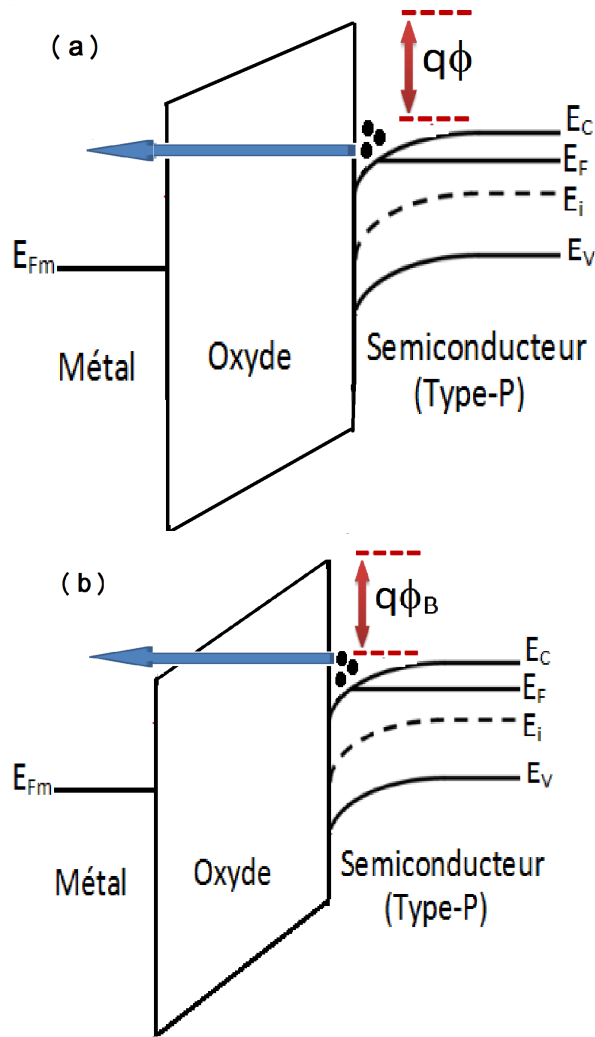


FIGURE II.6 – Diagramme de bande d'énergie montrant : (a) DT - l'effet tunnel direct à travers le diélectrique de grille a lieu sur toute la largeur d'oxyde de grille par rapport à (b) FN - Courant de Fowler-Nordheim tunnel à travers une barrière triangulaire, qui réduit la distance de tunnel.

$$A_{FN} = \frac{4\sqrt{2m^*\phi_B^3}}{3q\hbar} \quad (\text{II.3})$$

et $q, \hbar, \phi_B, E_{ox}, m^*$ sont la charge d'un électron, constante de Planck réduite, barrière hauteur entre l'oxyde et le semi-conducteur, le champ électrique dans l'oxyde et la masse effective de l'électron dans l'oxyde. Examen de l'équation II.1 simplifiée dans l'équation II.2 et II.3, aucun terme direct de température n'est observé. Cependant, ϕ_B , E_{ox} et m^* sont tous légèrement dépendant de la température.

Le calcul du courant tunnel nécessite la connaissance du nombre des électrons qui se déplace par effet tunnel, la distribution d'énergie des électrons (cette distribution est donnée par la fonction de distribution de Fermi - Dirac) et la probabilité de passage des

électrons par effet tunnel. L'équation générale approximative de la densité du courant tunnel est donnée par[79] :

$$J_t = \frac{4\pi q m_0}{h^3} \int_{E_C}^{E_{\max}} T(E) k_b T \ln \left(1 + \exp \left(-\frac{E - E_F}{k_b T} \right) \right) dE \quad (\text{II.4})$$

Où ($E_{\max} = q\phi$) et m_0 est la masse de l'électron libre. Pour la conduction tunnel directe, la densité de courant peut être évaluée à partir de l'équation II.6 ensuite, la formule approximative peut être exprimée sous la forme[80] :

$$J_t = \frac{q^2 m_0 E_{ox}^2}{8\pi h (q\phi_B - E) m_{ox} \left[1 - \left(1 - \frac{qE_{ox} t_{ox}}{q - E_F} \right) \right]} \exp \left[-\frac{4\sqrt{2m_{ox}}}{3\hbar q E_{ox}} \left[(q\phi_B - E_F)^{3/2} - (q - E_F - qE_{ox} t_{ox})^{3/2} \right] \right] \quad (\text{II.5})$$

Où m_{ox} est la masse effective d'électrons dans l'oxyde . L'émission du tunnel a une forte dépendance de la tension appliquée. cependant, elle présente une indépendance de la température. Le courant d'effet tunnel direct à travers l'oxyde devient importante lorsque le l'épaisseur du film diminue à moins de 50 Å. Cela peut causer des problèmes dans les composants pendant le fonctionnement[79].

II.6.1.2. Émission schottky

L'effet Schottky est une émission thermoionique d'électrons sur la barrière de potentiel ϕ_B à l'interface métal-isolant qui est renforcée en présence d'un champ électrique. La figure (II.5) montre un diagramme de bande d'énergie d'émission Schottky dans un empilement de grille MOS composé d'un seul oxyde.

L'émission Schottky peut être modélisée à l'aide de l'équation suivante[81] :

$$J_{SE} = A^* T^2 \exp \left(-\frac{q \left(\phi_B - \sqrt{\frac{qE_{ox}}{4\pi\epsilon_0\epsilon_r}} \right)}{k_b T} \right) \quad (\text{II.6})$$

Où $\pi\epsilon_r$ est la constante diélectrique à haute fréquence et est le Richardson effectif constante donnée par[82]

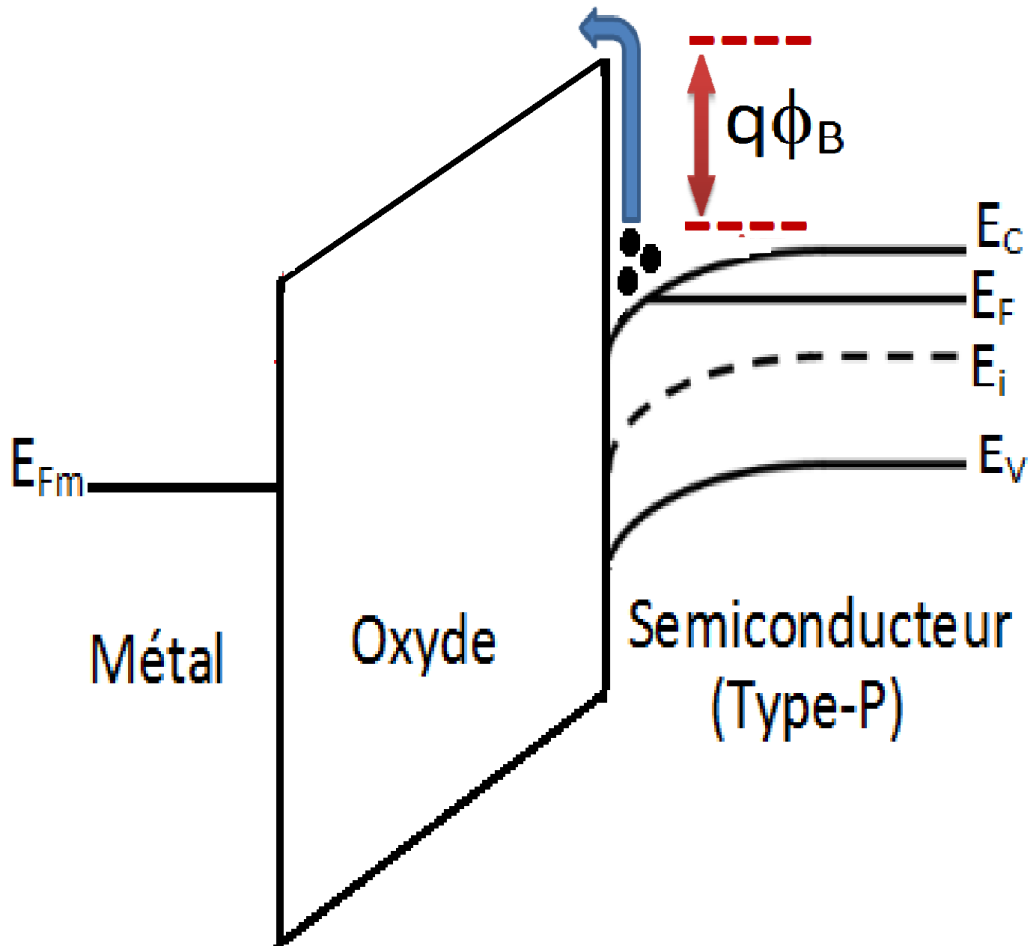


FIGURE II.7 – Diagramme de bande d'énergie illustrant l'émission Schottky d'un électron se déplaçant de la grille métallique vers la bande de conduction SiO_2 similaire à l'émission thermoionique avec la barrière de porteurs chargés abaissée par la présence d'un champ électrique et le théorème de charge d'image.

$$A^* = \frac{4\pi q m^* k_b^2}{h^3} \quad (II.7)$$

Les paramètres h et ϕ_B sont la constante de Planck et la hauteur de barrière entre la bande de conduction semi-conductrice et la bande de conduction diélectrique, respectivement

II.6.2. Mécanismes de conduction limités par le volume

Les mécanismes de conduction limités par le volume sont régis par les propriétés matérielles d'oxyde et en particulier l'existence de pièges et de centres ionisés dans la bande interdite d'oxyde. D'une manière générale, les mécanismes de conduction à encombrement limité sont des mécanismes assistés par piège, parmi lesquels les plus

couramment considérés sont : le mécanisme de Poole-Frenkel (PF), l'effet tunnel assisté par piège (TAT) et le courant limité par la charge d'espace [76].

II.6.2.1. Conduction de saut à portée variable et au plus proche voisin «HOPPING CONDUCTION»

Les états des pièges fournissent un chemin alternatif au porteur de charge similaire aux pièges riches en matériaux diélectriques à k élevé et contrôlent le courant de fuite à travers eux. Différents types de mécanismes liés aux pièges peuvent être distingués en fonction de la manière dont ce processus est mis en œuvre.

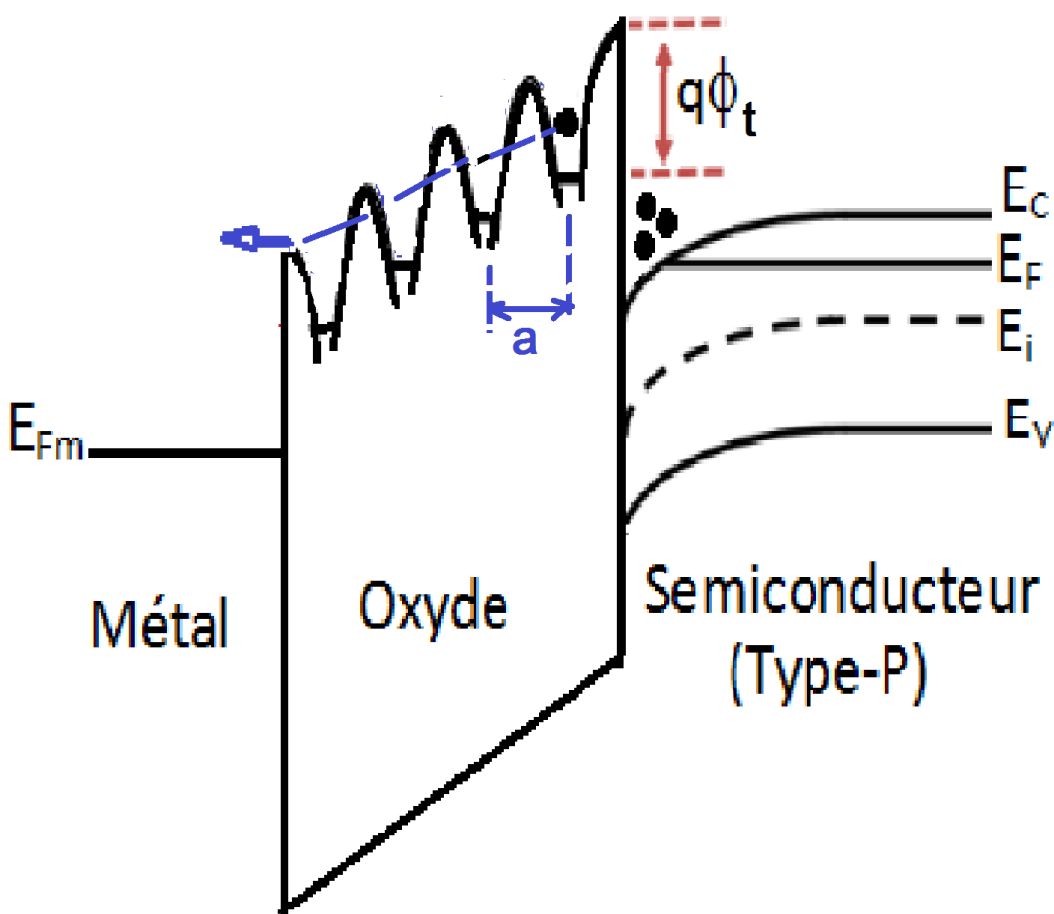


FIGURE II.8 – Représentation schématique de la conduction par sauts.

La première étape consiste à tunneler le porteur de charge vers l'état vide et à partir de là, il peut tunneler jusqu'au piège suivant de même énergie (saut ou tunnel à étapes multiples). Si l'énergie du porteur est modifiée, le processus est un effet tunnel inélastique. Dans ce cas, le porteur perd de l'énergie et occupe un piège avec une énergie

différente. Le houblonnage et l'effet tunnel inélastique se produisent lorsque les pièges sont distribués dans une large bande d'énergies. Le courant en conduction par saut est [83] :

$$J = qan_c\nu \exp\left(\frac{qaE - \phi_t}{k_bT}\right) \quad (\text{II.8})$$

où n_c est la densité des électrons dans la bande de conduction, ν est la fréquence de vibration thermique des électrons aux sites de pièges, a est la distance moyenne de saut (c'est-à-dire l'espacement moyen entre les sites de pièges) et ϕ_t le niveau d'énergie des pièges mesuré à partir du bas de la bande de conduction. Éq. (2.6) décrit l'effet tunnel d'électrons d'un piège à un piège adjacent. Cependant, si la densité des pièges n'est pas suffisamment élevée, la distance moyenne de saut est grande et la probabilité de tunnel entre deux sites voisins sera assez faible. Le courant de saut résultera alors du saut d'électrons thermiquement excités d'un site isolé à un autre.

II.6.2.2. Courant tunnel assisté par piégeage

Une autre possibilité consiste à tunneler d'un piège à la bande de conduction de l'autre électrode, c'est-à-dire similaire à la tunnellation directe, l'électron n'entre pas dans la bande de conduction du diélectrique (Figure(II.9)).

Ce processus est généralement appelé effet tunnel assisté par piège (TAT) et obéit à l'équation [84] :

$$J_{TAT} = \frac{A_{TAT}}{E_{ox}} \exp\left(-\frac{B_{TAT}}{E_{ox}}\right) \quad (\text{II.9})$$

Où

$$A_{TAT} = \frac{2D_{it}C_t\phi_t}{3}; B_{TAT} = B\left(\frac{m_{ox}}{m_e}\right)^{1/2}etC_t = \left(\frac{0.1}{m_{ox}}\right)^{\frac{5}{3}}\left(\frac{8E_1^{3/2}}{3\hbar\sqrt{\phi_t - E_1}}\right) \quad (\text{II.10})$$

C_t : représente la probabilité de passage par effet tunnel des électrons à travers l'oxyde.

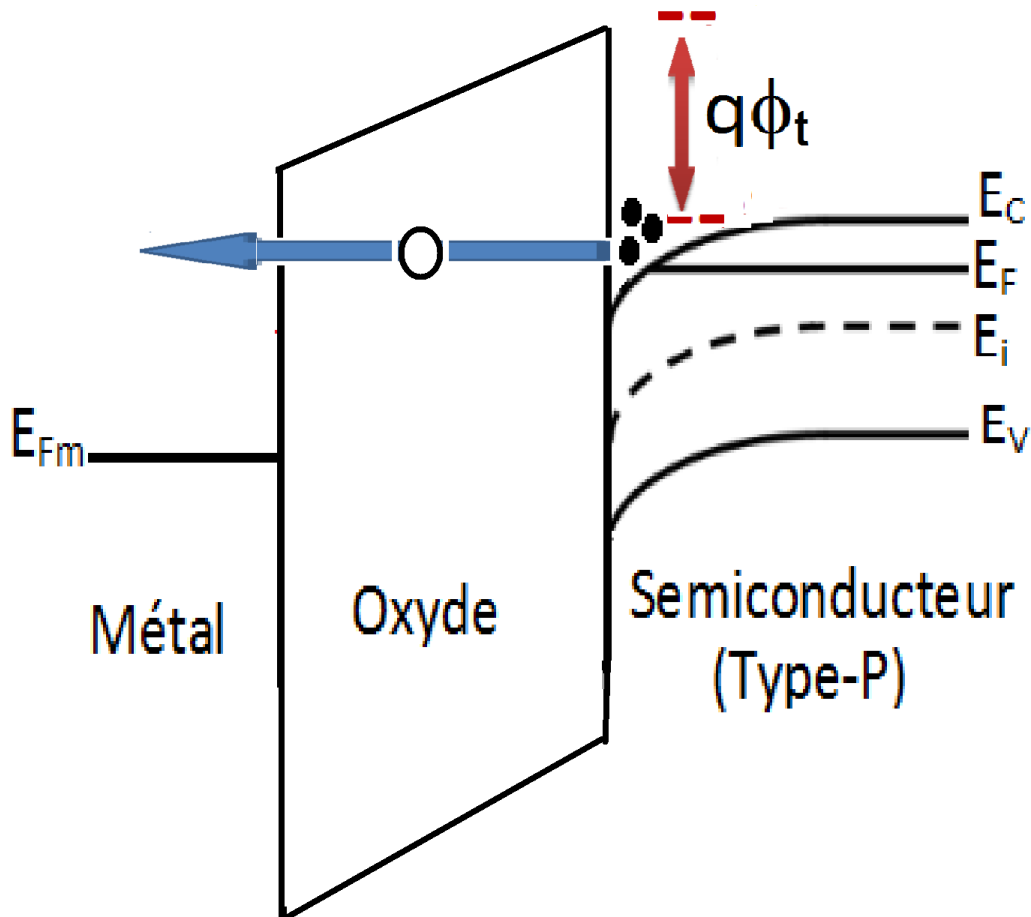


FIGURE II.9 – Diagramme de bande d'énergie montrant l'effet tunnel assisté par piège.

E_1 : l'énergie totale de l'électron.

ϕ_t : la barrière de potentiel de passage des électrons par effet tunnel.

II.6.2.3. Conduction de POOLE-FRENKEL

La conduction ou émission de Poole-Frenkel (PF) agit pour modifier le potentiel puits de porteurs piégés. Cette modification est le résultat de champs électriques élevés, ce qui abaisse l'énergie d'ionisation[85] ou l'énergie de stimulation thermique des électrons dans bande de conduction Frenkel, s'appuyant sur les travaux précédents de Poole [86, 87, 88], a montré que la hauteur de barrière de piège ($\Delta\phi_{PF}$) est abaissée[89] :

$$\Delta\phi_{PF} = \phi_{PF1} - \phi_{PF2} = B_{PF}E_{ox}^{1/2} \quad (II.11)$$

$$B_{PF} = \sqrt{\frac{q^3}{\pi\epsilon_0\epsilon_r}} \quad (II.12)$$

$$J_{PF} = C E_{ox} \exp\left(\frac{q\Delta\phi_{PF} - B_{PF}\sqrt{E_{ox}}}{\zeta k_b T}\right) \quad (II.13)$$

Où C , k_b , T et ζ sont une constante, la constante de Boltzmann, la température et un facteur qui dépend de la compensation de l'accepteur[85, 90], respectivement. La valeur de ζ est généralement entre 1 et 2. Dans l'article original de Frenkel, $\zeta = 2$.

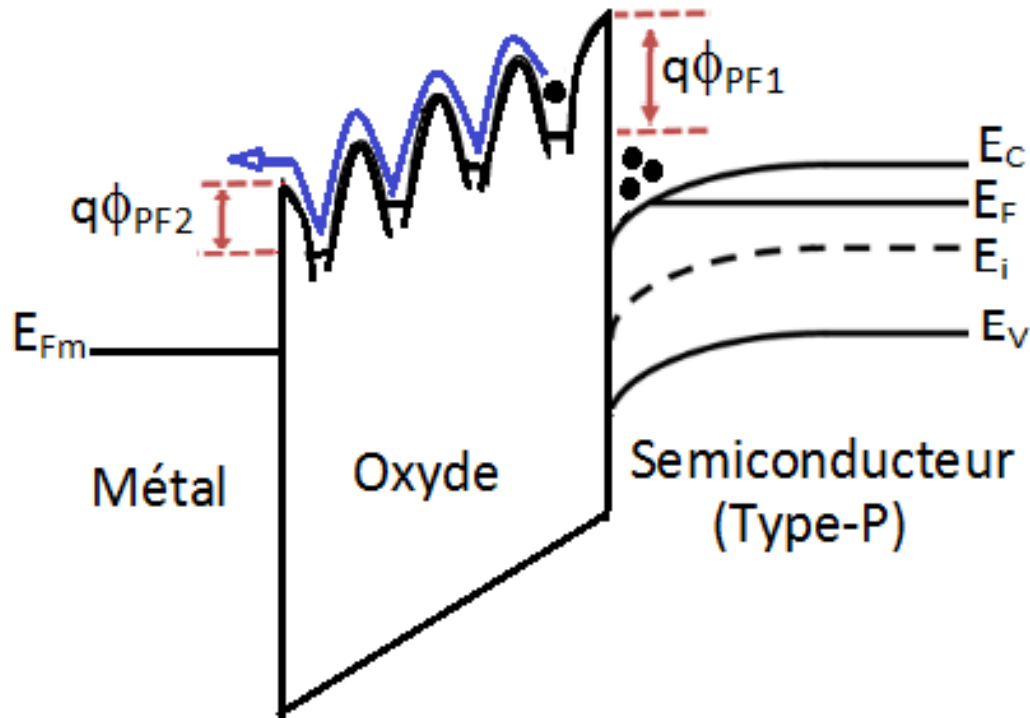


FIGURE II.10 – Diagramme de bande d'énergie montrant l'émission Poole-Frenkel. Lorsque le champ électrique dans le diélectrique augmente, la barrière de piège est abaissée. Lorsque la température augmente, le porteur piégé a plus d'énergie et peut plus facilement franchir la barrière.

Dans une grande partie de la littérature, $\zeta = 1$ (par exemple,[91, 92, 93]), ce qui correspond à des pièges fortement compensés .

La conduction Poole-Frenkel domine à des températures élevées, où suffisamment l'énergie thermique est disponible pour stimuler le porteur au-dessus de la barrière, et des champs élevés, où la barrière est significativement abaissée[94].

II.6.2.4. Courant limité par la charge d'espace (SCLC)

Dans le cas de courant de Poole-Frenkel et le cas du courant de conduction part saut, le champ électrique est supposé constant. Lorsque l'injection des électrons est forte, cette hypothèse n'est plus valable et la distribution de potentiel doit être calculé en utilisant

l'équation de Poisson. Le courant de charge d'espace limité résulte des porteur injecté dans l'oxyde, où aucune charge de compensation est présente[95]. Ce courant a des expressions selon le type d'injection :

a) Injection faible

Lorsque l'injection est faible, la densité de charge d'oxyde est négligeable et le champ électrique est constant. L'expression du courant est donné par [94] :

$$J = \sigma E_{ox} = qn(x) \mu_e E_{ox} \quad (\text{II.14})$$

avec

$$E_{ox} = \frac{V}{t_{ox}} \quad (\text{II.15})$$

Où $n(x)$ est le nombre de porteur de charge.

b) Injection forte

Dans ce cas, les pièges d'oxyde se remplissent et une charge d'espace s'accumule. Le courant est donné par [94] :

$$J = \frac{8}{9} \mu_e \frac{\varepsilon_0 \varepsilon_{ox}}{t_{ox}^3} V^2 \frac{N_c}{N_t} \exp\left(-\frac{q\phi_t}{kT}\right) \quad (\text{II.16})$$

Avec N_t est la densité de pièges, N_c est la densité d'états dans la bande de conduction, et $q\phi_t$ la différence d'énergie entre la bande de conduction et un site de piégeage.

c) Injection très forte

Dans ce cas, tous les pièges étant remplies, la charge d'espace est due à des électrons de conduction qui sont des porteurs minoritaires dans la région neutre p-Si, mais sont des porteurs majoritaires dans le canal, c'est-à-dire après que le substrat p-Si a été inversé comme le montre la figur(2.12) et le courant peut être exprimée comme suit[96] :

$$J = \frac{8}{9} \mu_e \frac{\varepsilon_0 \varepsilon_{ox}}{t_{ox}^3} V^2 \quad (\text{II.17})$$

Pour les caractéristiques courant-tension (I-V) en mode d'accumulation avec injection

continue des électronique en continu, le courant de charge d'espace limité est négligeable. Pour les basses tensions et les hautes température, les électrons excités thermiquement sautent d'un état vide à un autre. Ce mécanisme conduit à un courant ohmique augmentant d'une façon exponentielle.

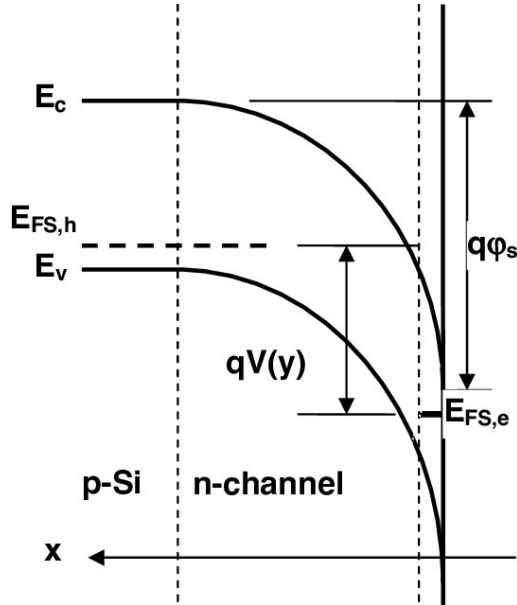


FIGURE II.11 – Profil de bande d'énergie de la région de charge d'espace semi-conductrice le long de l'axe x pour la tension de grille $V_G >$ la tension de seuil V_{TH} (un canal existe à l'interface semi-conducteur-diélectrique.), au point y le long de la direction y (c'est-à-dire la direction de V_D) pour un V_D non nul. $E_{FS,h}$ est le trou (porteur majoritaire) imref dans la région neutre p-Si, tandis que $E_{FS,e}$ est l'électron imref dans le canal[97].

II.6.2.5. Courant de grille dû à l'injection de porteurs chauds(HEI et HHi)

Sous l'effet de l'injection d'électrons, trois principaux types de dommages sont générés : le piégeage d'électrons dans des pièges à électrons préexistants dans l'oxyde, la génération de nouveaux pièges à électrons et la génération de pièges d'interface[98].

Ce mécanisme se produire lorsque les porteurs de charge traversent le champ électrique élevé, ils acquièrent une quantité d'énergie adéquate et sont appelés porteurs chauds. Certains de ces porteurs chauds atteignent une énergie cinétique suffisante pour traverser la barrière oxyde-Si et être injectés du canal à l'oxyde de grille avant d'être piégés dans l'oxyde (figure(II.12)).Le courant de grille total est la somme de toutes les valeurs des courants injectés dans des segments discrètes. Si nous considérons un point discret sur le bord électrode/oxyde de grille, la formule mathématique pour calculer

la contribution du courant de grille injecté à partir de chaque point de nœud dans le semi-conducteur est [99, 67] :

$$I_{inj} = \iint P_n(x, y) | \vec{J}_n(x, y) | dx dy + \iint P_p(x, y) | \vec{J}_p(x, y) | dx dy \quad (II.18)$$

Où $J_{n,p}(x, y)$ sont les densités de courant d'électrons et de trous en un point (x,y) dans le semi-conducteur, et $P_{n,p}(x, y)$ sont les probabilités qu'une partie de ce courant atteigne l'oxyde de grille et soit injectée dans l'électrode de grille donnons par :

$$P_n(x, y) = P_{\phi_{B,n}} P_{1,n} P_{2,n} \quad (II.19)$$

$$P_p(x, y) = P_{\phi_{B,p}} P_{1,p} P_{2,p} \quad (II.20)$$

P_1 est la probabilité qu'aucune énergie ne soit perdue par diffusion optique des phonons lorsque le porteur chaud se déplace vers l'interface semi-conducteur-isolant après avoir été redirigé donné par :

$$\text{Où } P_1 \sim \exp\left(\frac{r}{\lambda_r}\right) \quad (II.21)$$

Où r et λ_r sont la distance entre le point de redirection et l'interface semi-conducteur-isolant et la longueur moyenne de libre parcours des électrons et des trous pour la diffusion par les phonons optiques respectivement.

P_2 est la probabilité de diffusion dans le puits de potentiel de force image dans l'oxyde de grille donné par :

$$P_2 = \exp\left(\frac{\sqrt{\frac{q}{16\pi\epsilon_{ox}E_{ox}}}}{\lambda_{ox}}\right) \quad \text{pour } \theta > 60^\circ C \quad \text{et} \quad P_2 = 0 \quad \text{pour } \theta < 60^\circ C \quad (II.22)$$

Où λ_{ox} et θ sont la longueur de libre parcours moyenne des porteurs de charge dans l'oxyde et l'angle formé entre l'interface semi-conducteur/isolant et le champ électrique dans l'oxyde respectivement.

P_{ϕ_B} est la probabilité qu'un porteur obtient l'énergie ϕ_B en se déplaçant parallèlement à un champ électrique E , sans subir de perte d'énergie par diffusion optique des phonons donné par :

$$P_{\phi_B} = 0.25 \left(\frac{E\lambda_r}{\phi_B} \right) \exp\left(-\frac{E\lambda_r}{\phi_B} \right) \quad (\text{II.23})$$

Où E est le champ électrique parallèle au passage du courant.

$$\text{Où } \phi_B = \phi_{B_0} - \beta \sqrt{E_{\perp}} - \vartheta E_{\perp}^{\frac{2}{3}} V \quad (\text{II.24})$$

Où $\phi_{B_0}, \beta, E_{\perp}, \vartheta$ et V sont La hauteur de barrière traditionnelle à l'interface semi-conducteur-isolant, effet d'abaissement de barrière dû au champ d'image, le champ électrique perpendiculaire à l'interface semi-conducteur/isolant, et facteur tient compte phénoménologiquement de la probabilité finie de tunnel entre le semi-conducteur et l'isolant respectivement.

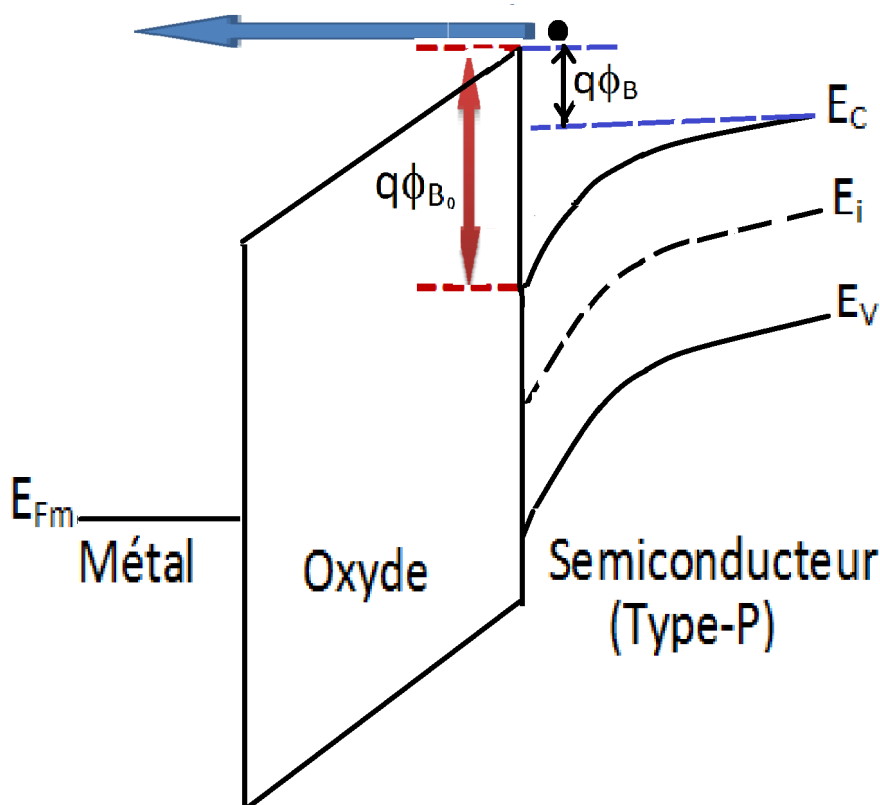


FIGURE II.12 – Diagramme de bande d'énergie de l'injection d'électrons chauds (HEI) [100].

II.7. Détermination du mécanisme de conduction

Déterminer quel mécanisme de conduction est présent dans un diélectrique est principalement déterminé en ajustant les données expérimentales aux diverses équations du mécanisme de conduction montré ci-dessus. Il est difficile d'établir quels mécanismes de transport sont présents car plusieurs des mécanismes de transport peuvent se produire simultanément, ce qui peut fausser les résultats expérimentaux.

Pour distinguer plusieurs mécanismes de transport, il devient nécessaire de caractériser les diélectriques dans une grande variété de conditions où un mécanisme de transport peut dominer les autres simplifiant ainsi l'identification du dominant mécanisme.

Les chercheurs proposent plusieurs méthodes pour déterminer les contributions aux mécanismes de conduction du courant des films diélectriques qui sont évaluées en convertissant les données de JG -VG mesures et en les traçant de manière spécifique pour chacune des méthodes de conduction et les plus importantes qui sont :

- Méthode standard pour observer un tracé PF dans lequel $\ln(I)$ est tracé en fonction de $V^{1/2}$, ou un diagramme de Schottky [101]. Une fois qu'un tracé montre un comportement linéaire, il indique que les mécanismes de conduction de courant correspondants existent potentiellement.

- Rapport conductance-courant des Caractéristiques $I_G - V_G$ (CCR) [4] : utilise le rapport de la dérivée première du courant de fuite par rapport à la tension sur le courant lui-même.

- La conductance différentielle normalisée (NDC) a été proposée pour établir les mécanismes de conduction dans les composants à jonction pn ou MOS, qui sont basés sur l'opérateur différentiel [2, 3].

La caractéristique des outils Silvaco-TCAD utilisant un langage d'entrée pour contrôler la multitude complexe de modèles physiques et de méthodes numériques à la disposition de l'utilisateur. L'accent principal du travail de développement de ce logiciel était sur les simulateurs eux-mêmes, il offre une flexibilité maximale pour l'utilisateur et n'entrave pas les méthodes numériques et l'expérimentation du modèle physique [67].

Ce travail démontre la mise en œuvre réussie et l'utilisation d'une bibliothèque complète de structures TCAD calibrées pour la conception/optimisation, étudie le com-

portement physique et électrique d'un condensateur MOS conventionnel et n-canal MOSFET moderne pour tester l'efficacité de ces méthodes en simulant le $I_G - V_G$ des CapMOS et n-canal MOSFET ont été définies à partir des travaux expérimentaux des référence [98,99] d'une part et de proposer deux nouvelles méthodes de caractérisations :

- Une nouvelle normalisé direct conductance méthode (NDCnew) [102] : une méthode graphique à distinguer entre les divers mécanismes de conduction à travers les oxydes en structures MOS qui sont expressions des fonctions exponentielles de tension. Cette méthode prise en comptes le chute de tension (ΔV). Ce graphique méthode est basée sur un Nouveau Normalisé Direct Conductance fonction à extrait la valeur (ΔV) .
- Le sondage : le moyen le plus précis de déterminer et analyser la valeur de nombreux paramètres calculés par ATLAS pour comprendre les mécanismes physiques des structures MOS à couches minces [67]. Ces méthodes sont les buts du prochain chapitre.

II.8. Conclusion

Dans ce chapitre on a introduit le logiciel TCAD ainsi que les étapes pour simuler ces structures MOS. Pour ce faire, il est indispensable de comprendre les mécanismes de transport de charge dans ces composants (MOS) afin de trouver le modèle mathématique qui simule les caractéristiques électriques courant-tension (I-V) et capacité-tension (C-V) des structures (MOS) qui ferons l'objet d'étude de prochain chapitre.

CHAPITRE III

RÉSULTATS : PARAMÈTRES DES MÉCANISMES DE CONDUCTION D'UNE CAPACITÉ MOS ET D'UN TRANSISTOR MOSFET TYPE(N)

III.1. Introduction

Dans ce chapitre on étudie par le simulateur TCAD de SILVACO les propriétés électrique à savoir la caractéristique capacité-tension ($C_G - V_G$) et les caractéristiques courant-tension ($I_G - V_G$) en régime d'inversion de deux structures MOS ,ainsi leurs paramètres .

Le premier est un condensateur conventionnel à base du silicium et SiO_2 comme diélectrique à deux électrodes (i.e. grille et substrat) où le sens du champ électrique est vertical qui est la simple structure MOS décrite dans le référence[2], la deuxième structure est un N-canal MOSFET moderne (submicronique) à base du silicium et $SiON$ comme diélectrique à quatre électrodes (i.e. grille, source, drain et substrat) où le sens du champ électrique est latéral (i.e. drain au source) décrite dans le référence[4].Afin de

faire une comparaison des résultats et ex tracté les paramètres de ces structures .

III.2. Condensateur MOS en inversion et en obscurité

III.2.1. Procédure de simulation des caractéristiques ($I_G - V_G$) et ($C_G - V_G$) du condensateur MOS

- ◆ La simulation a été réalisée à l'aide de l'outil ATHENA du SILVACO-TCAD, en commençant par le dopage du substrat de silicium de direction (100) avec le bore de résistivité $1 \Omega cm$.
- ◆ Le bore est implanté et le profil diffusé. Comme l'implant n'est pas masqué, "Athena/SSuprem 4" reste en mode 1D. Pour ce recuit d'un implant à dose moyenne dans un environnement inerte, le modèle de diffusion fermi par défaut est utilisé.
- ◆ Une fois le calcul de diffusion terminé, TonyPlot est utilisé pour tracer une ligne de coupe 1D à travers la structure (la concentration extraite est de $1.46 \times 10^{16} cm^{-3}$), puis en diffusant du l'oxygène sec à une température de 900 K pendant 30 min et en le faisant décaper pendant 17 secondes pour obtenir une épaisseur de 9.6 nm d'oxyde de silicium (Figure (III.1)(a)).

La structure obtenu permet d'extraire les paramètres des caractéristiques électriques dans différents régions tels que le potentiel , les défauts... (Figure (III.1)(b)) ces extraction nous à permet de prévoir la profondeur de la jonction ($\chi_j = 0.216 \mu m$).

- ◆ Ensuite en déposant une couche d'un masque épais de 320 nm de résine (Figure (III.1)(c)) et en calculant l'image aérienne de celle-ci dans le cadre de simuler la procédure de la photolithographie (Figure (III.1)(d)).
- ◆ Pour modeler les contacts de grille qui sont constitués d'empilements de nitrure du titanium (TiN) de 20 nm et d'Aluminium (Al) de 300 nm et déposés par pulvérisation avec angle de 60° pendant 2.68 min et 26.8 min respectivement suit par gravure sèche (Figure (III.1)(d)).
- ◆ Finalement, un recuit au gaz de formant (FGA) à 703 K ($430^\circ C$) pendant 30 min a été réalisé. (Figure (III.2)).

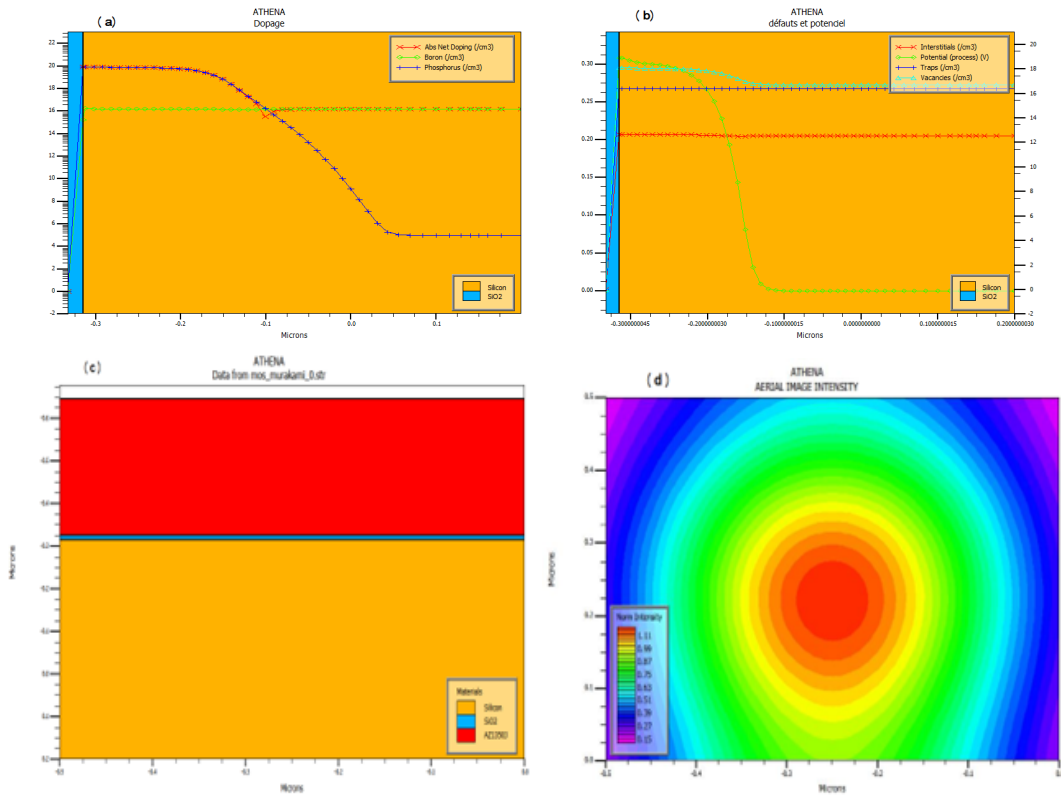


FIGURE III.1 – Profil de dopage (a).Processus de potentiel et défauts(b) .Procédure de photolithographie : Déposition du masque (c) et intensité d'image aérienne(d).

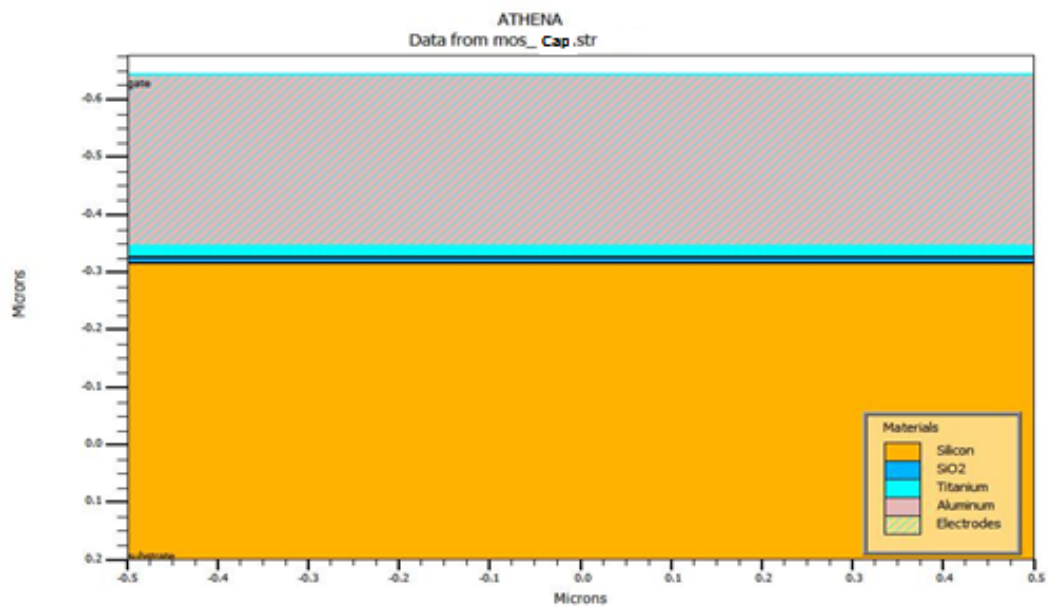


FIGURE III.2 – Vue en coupe de la structure finale.

III.2.2. Simulation de la caractéristique expérimentale ($I_G - V_G$) du condensateur MOS

Pour étudier les propriétés électriques du condensateur réalisé avec l'outil ATHENA, on insère l'outil ATLAS, puis on saisit les données expérimentales connues à partir des paramètres et leurs valeurs telles que : les électrodes, les défauts, les pièges d'interface, les températures, la polarisation, les modèles de conduction et leurs paramètres....

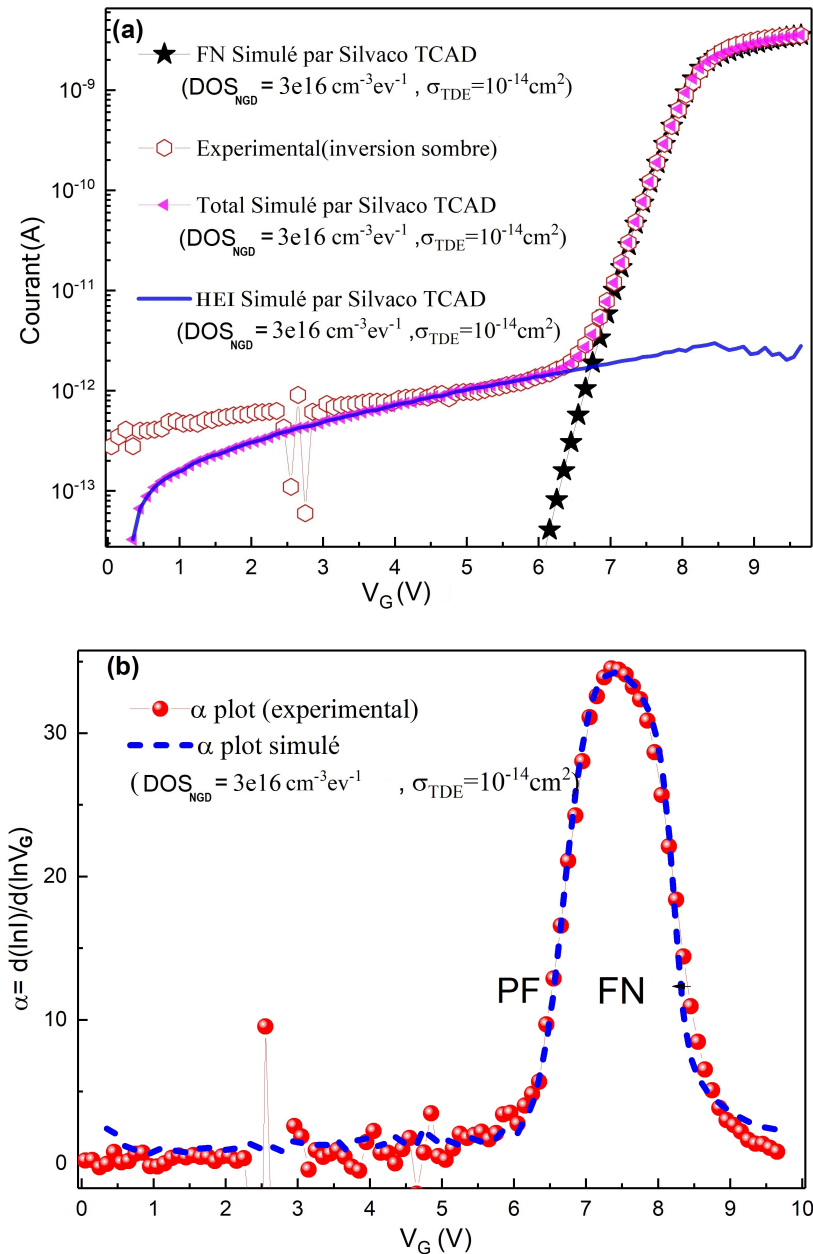


FIGURE III.3 – Simulation par TCAD Silvaco de la caractéristique (a) ($I_G - V_G$) du transistor nMOSFET[2],(b) Comparaison de la caractéristique ($\alpha - V_G$) entre celle simulée par TCAD Silvaco et la caractéristique ($\alpha - V_G$) expérimentale.

La tâche de la simulation est d'extraire les paramètres inconnus expérimentalement c'est à dire les valeurs de ces paramètres qui nous donnent un accord avec l'expérience, puis de déterminer leurs effets sur le comportement du composant. La procédure que nous avons suivi est de tester les paramètres inconnus par ajustement des valeurs des paramètres connus par des valeurs qui n'entrent pas en conflit avec ce qui est dans les littératures pour obtenir l'accord avec l'expérimentale comme le montre la figure(III.3)(voir annexe1).

La simulation des mécanismes de transport à travers l'oxyde(SiO_2) en inversion sans illumination pour le condensateur MOS (Figure(III.3(a))) fait apparaître le mécanisme de type injection d'électrons chauds (HEI) pour les basses tensions, le mécanisme de Poole-Frenkel pour les tensions moyennes et le mécanisme de Fowler-Nordheim pour les hautes tensions, ce qui montre le bon accord dans la figure(III.3(b)).

III.2.2.1. Effet de la température sur $(I_G - V_G)$ et $(C - V_G)$ du condensateur MOS

La figure(III.4(a)) illustre un grand effet de la température sur le courant cet effet apparaît à partir de 250K (pas du courant pour les température inférieur de 250 K) . L'augmentation de la température conduit à une augmentation des mécanismes d'injection d'électrons chauds (HEI) et du Poole-Frenkel (PF) et une diminution du mécanisme Fowler-Nordheim (FN).

Pour la caractéristique $(C - V_G)$ on observe un très faible effet de la température sur la réponse capacitive dans les régimes d'accumulation et de déplétion par contre dans le régime d'inversion l'augmentation de la capacité est remarquable à partir de 350 °K comme le montre la figure(III.4(b)).

Dans le but de réduire les effets des porteurs minoritaires et des pièges d'interface sur la réponse de capacité sous polarisation positive, la fréquence de 1 MHz a été utilisée pour la simulation du $(C - V_G)$ dans ce travail[103].

L'information de largeur d'appauvrissement peut être acquise à partir de la variation de la capacité à haute fréquence. Les capacités sous polarisation positive chutent brusquement en augmentant la température, comme le montre la figure(III.4(b)), ce phénomène est appelé appauvrissement profond[104]. Pour un composant électronique

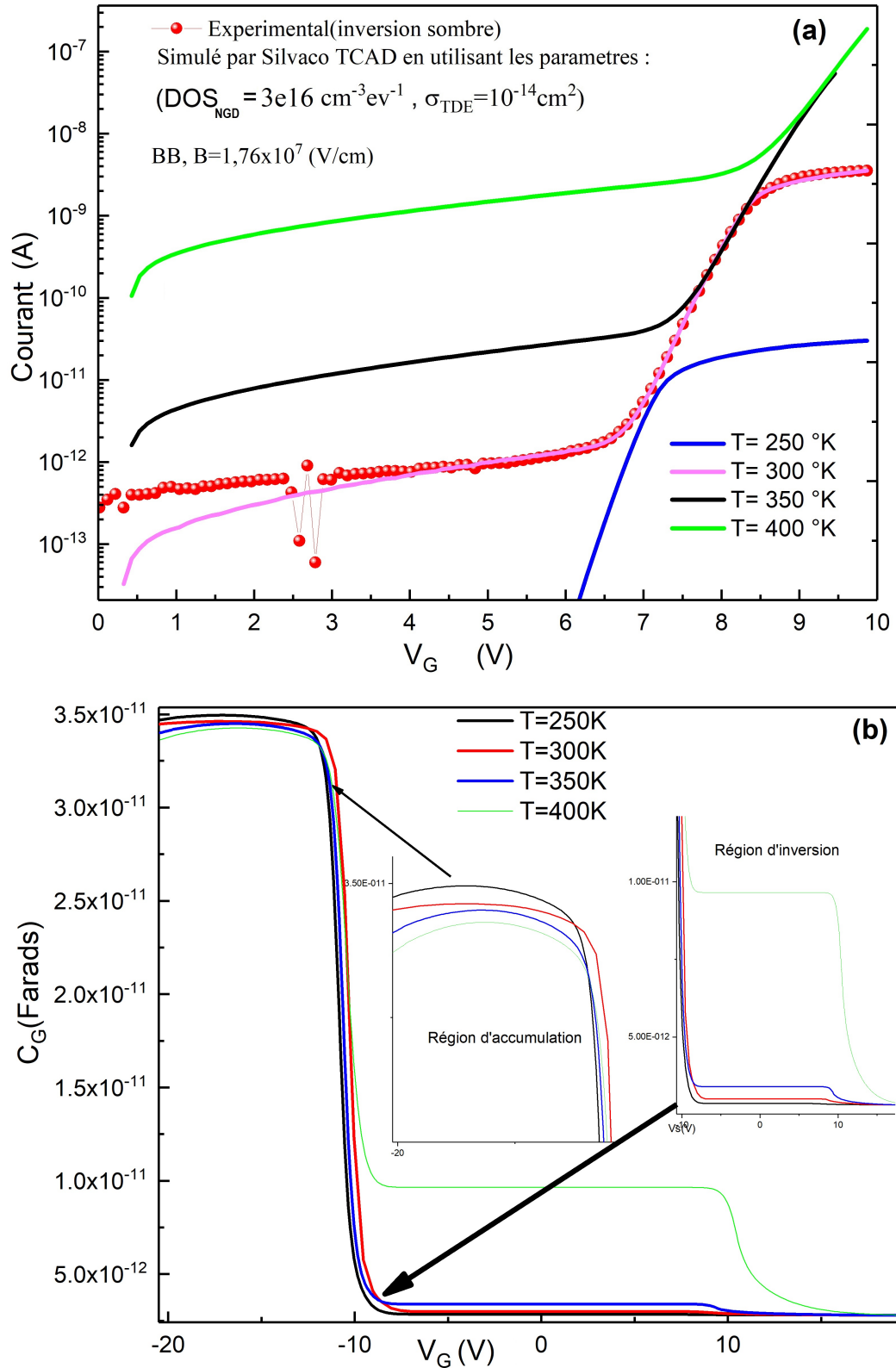


FIGURE III.4 – (a) Caractéristiques ($I_G - V_G$) et (b) ($C - V_G$) à haute fréquence (1 MHz) pour différentes températures du condensateur MOS.

possédant une plus petite surface, l'apparition d'un appauvrissement profond est plus tardive et la capacité d'appauvrissement profond normalisée chute rapidement que les

autres.

Afin d'expliquer le comportement de la courbe $(C - V_G)$ dans la région de polarisation positive, la division de la courbe en trois régions, c'est-à-dire la région d'inversion d'appauvrissement (région 1), la région d'appauvrissement profond du bord (région 2) et l'appauvrissement massif en profondeur (région3) [105] a été proposé comme illustré à la figure (III.5)

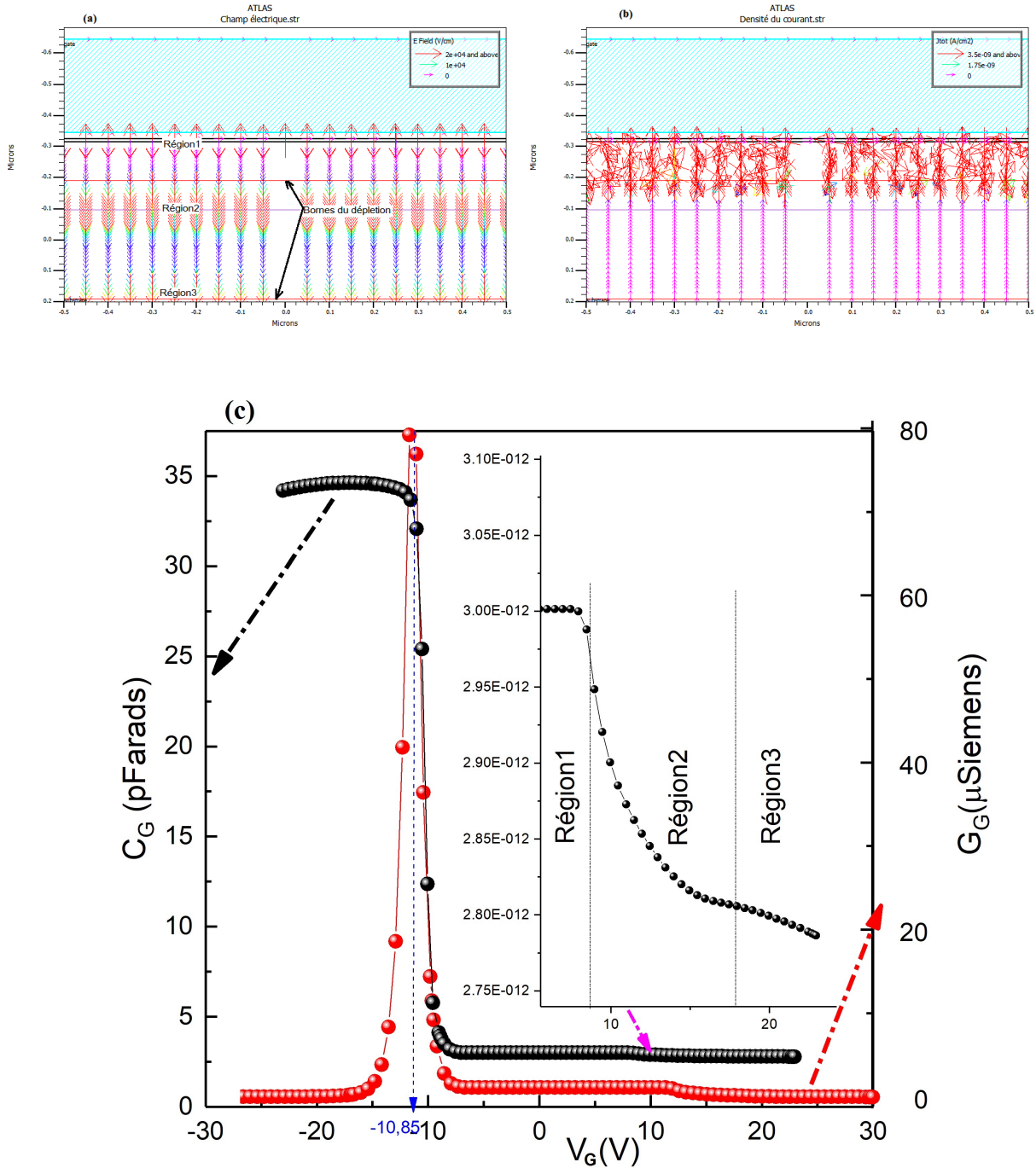


FIGURE III.5 – Directions et distributions des : Champ électrique(a).Densité du courant total(b). La transconductance-tension (G-V) et les régions du phénomène de déplétion profond(c).

La région 1 est appelée région d'inversion d'appauvrissement parce que l'effet tunnel d'électrons dans cette région est suffisamment petit pour que l'apport de porteurs minoritaires de la génération puisse suivre la perte de tunnel dans la couche d'inversion et donc le phénomène de déplétion profonde ne se produit pas. La figure(III.4(b)) montre le point de tension d'intersection entre la région 1 et la région 2. Cette tension est appelé la tension d'amorçage d'épuisement profond ; ce qui signifie que le bord atteint le champ critique de sorte que l'épuisement profond du bord se produise.

Au fur et à mesure que la polarisation augmente, le champ électrique devient plus fort à la fois dans les bord et dans le volume.

Le champ électrique au bord atteint un champ critique qui provoque un effet tunnel d'électrons suffisamment important pour que le courant est dû aux porteurs minoritaires. Ainsi, l'appauvrissement profond se produit au bord et la partie initiale de l'inversion conventionnelle car le champ électrique n'atteint pas le champ critique dans la région 2, comme le montre la figure(III.5). L'observation de ce phénomène est illustré dans les diagrammes des bandes du bord et du volume sont (figure (III.6(b))).

La capacité dans la région 2 chute avec la polarisation en raison de l'apparition d'un épuisement profond des bords. Lorsque la polarisation augmente davantage que celle de la région 2, la partie initiale atteint également le champ critique, puis l'appauvrissement en profondeur se produit. A ce stade, la courbe entre dans la région 3, appauvrissement massif en profondeur puisque l'effet tunnel important conduit à l'absence des porteurs minoritaires, une conductivité latérale de Silicium juste sous l'oxyde est faible, de sorte que la considération séparée des parties de bord et de volume est admissible[106]. De plus, la capacité de l'oxyde C_{ox} est beaucoup plus grande que la capacité d'appauvrissement, de sorte que C_{ox} peut être négligé dans le calcul de la capacité totale [104].

La figure(III.5(c)) présente la simulation de caractéristique électrique transconductance-tension (G-V) du condensateur dans les mêmes conditions de mesure (courbe rouge). La transconductance est étendue sur une large plage [107]. Le pic apparaît à $V_G = -10.85$ V et sa hauteur est $G(max) = 8 \times 10^{-5}$ siemens. La courbe (G-V) est sans particularité sur la plage de polarisation. Le large pic de (G-V) dans la figure est attribué aux pertes ohmiques causées par les états d'interface[108] . Ce qui implique que l'apparition du

mécanisme de FN est inversement proportionnelle à la température [109].

III.2.3. Effet de la tension de grille sur les énergies des bandes du silicium et l'oxyde du silicium.

Pour comprendre le mécanisme physique des structure MOS à couches minces, il est important non seulement de considérer les résultats de mesure mais aussi de prendre en compte les résultats de simulation TCAD (Technology Computer Aided Design). Pour obtenir de bons résultats d'analyse, il est nécessaire de sonder les données de simulation TCAD à l'aide des données de mesure [110].

La sonde est le moyen le plus précis de déterminer la valeur de nombreux paramètres calculés par ATLAS. Les paramètres stockés sur les points de nœud dans les fichiers de structure pour TonyPlot sont souvent interpolés et sujets au bruit. Elle nous permet de sortir la valeur de plusieurs grandeurs distribuées dans le fichier journal . La valeur à un emplacement spécifié ou la valeur minimale, maximale ou intégrée dans une zone spécifiée du composant sera enregistrée dans le fichier journal à chaque biais ou point dans le temps [67].

La figure(III.6(a)) montre le succès de sondage d'après les valeurs exactes des gaps extraites (i.e. $E_g(Si)=1.08\text{eV}$ et $E_g(SiO_2)=9\text{eV}$), la figure(III.6(b)) agrandis, nous à permet de comprendre le phénomène de conduction. Dans le régime accumulation l'énergie du niveau de quasi-Fermi d'électron pour le silicium est 0.882eV qui est une valeur proche d'énergie de la bande de conduction qui est 1.035eV , l'application de tension diminue leur énergie, la baisse se poursuit avec la croissance de tension.

Pour que le mécanisme de transport de charge se produise, l'énergie du niveau de quasi-Fermi d'électron de l'oxyde et du silicium diminue au minimum (0.025eV), ils deviennent égaux à la valeur $0,45\text{ V}$, qui se situe dans le régime d'inversion, qui part dans le cas idéal de 0 Volt , ce qui prouve que $\Delta V = 0.4\text{V}$, et alors seulement le transport de charge a lieu[111]. L'énergie quasi-Fermi reste constante dans la région du transport de charge, puis devient nul Cependant, l'énergie du niveau de quasi-Fermi d'électron de l'oxyde devient supérieur à l'énergie de de la bande de conduction, ce qui conduit à un endommagement du composant.

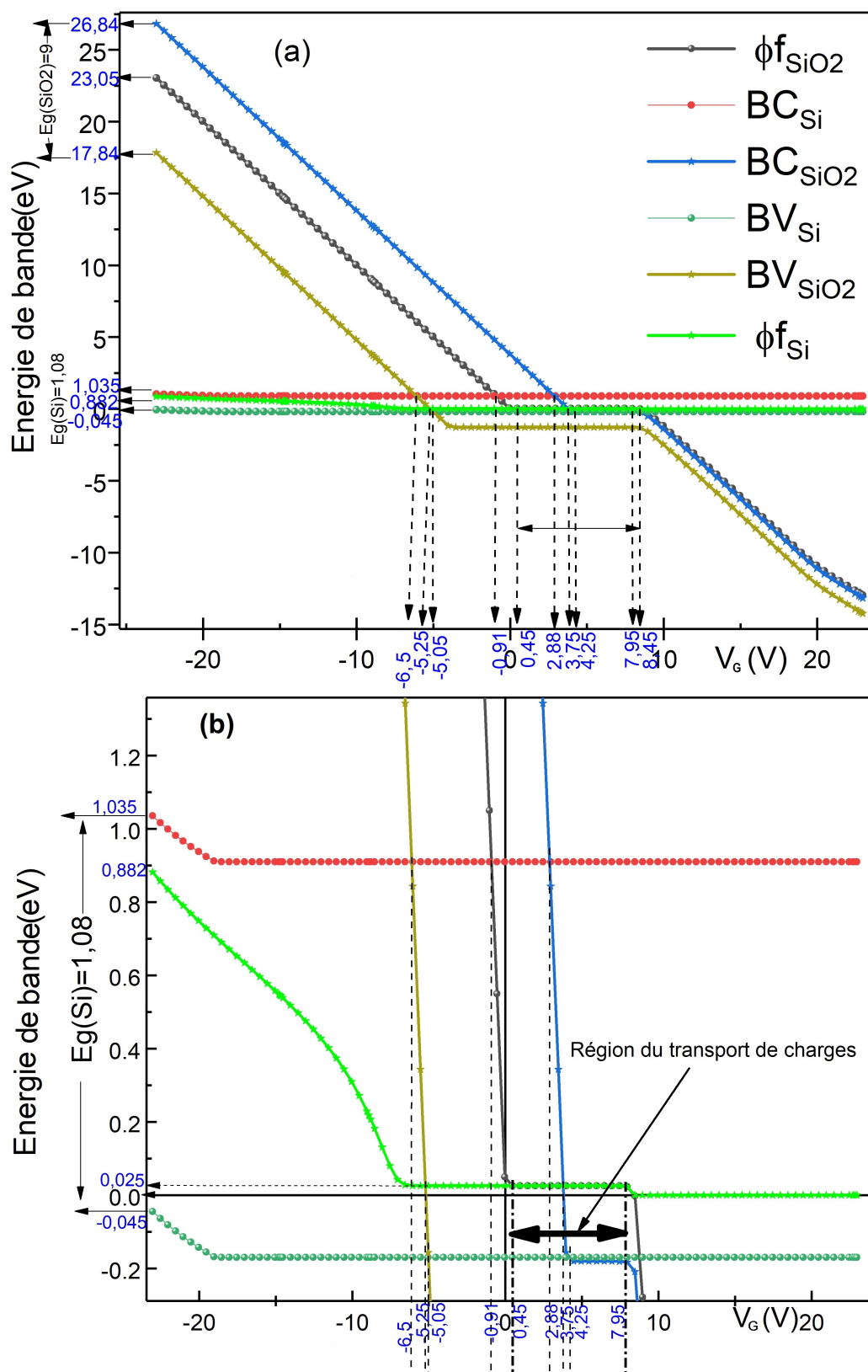


FIGURE III.6 – (a) La variation des energies des bandes en fonction de tension de grille .(b) Agrandis de la region de régime inversion.

III.2.3.1. Les potentiels électrostatiques

Afin d'obtenir le potentiel électrostatique en fonction de la polarisation de grille [112, 113] on a utilisé trois "sondes" :

1. A l'interface semi-conducteur-oxyde $y=-0,3154$ (cela donne un potentiel électrostatique ψ_0).
2. Très loin de l'interface $y=0.2$ (cela donne un potentiel électrostatique ψ_∞).
3. L'intervalle $y=-0.325$ au $y=-0.3154$ (cela donne un champ électrique E_{ox}).

La courbure de la bande de surface (potentiel de surface) en fonction de la polarisation de la grille est :

$$\psi_s = \psi_0 - \psi_\infty \quad (\text{III.1})$$

Le chute de tension à travers l'oxyde est :

$$V_{ox} = E_{ox} \times t_{ox} \quad (\text{III.2})$$

Où t_{ox} est l'épaisseur du l'oxyde

Il existe deux régions distinctes : la région sous-seuil et la région de forte inversion. Le potentiel de surface augmente lorsque la tension de grille augmente comme le montre la figure(III.7).

La figure (III.7(a)) montre la variation du potentiel de surface (ψ_s) en fonction de la tension de grille (V_G) avec une tension de bande plate $V_{FB} = -25.05V$, ainsi chute de tension à travers l'oxyde (V_{ox}). Il est clair que dans le cas de la mécanique quantique, le potentiel de surface ne devient pas constant en régime de forte inversion(figure(III.7(b))) , et suit plutôt une augmentation progressive jusqu'au bord du gap(1.08eV) correspond à 7.95V. Cela se produit en raison du confinement des porteurs d'inversion, ce qui entraîne un pic de densité de charge d'inversion séparé de l'interface et une largeur accrue de la couche d'inversion (figures(III.5(b) , III.8 et III.9). Ainsi, la même densité de charge se traduirait par un potentiel de surface plus élevé par rapport au cas classique.

Q_{inv} est la charge totale de silicium moins la "charge totale" sous la couche d'inversion de surface qui est souvent appelée charge "d'épuisement" [114]. Comme on a montré,

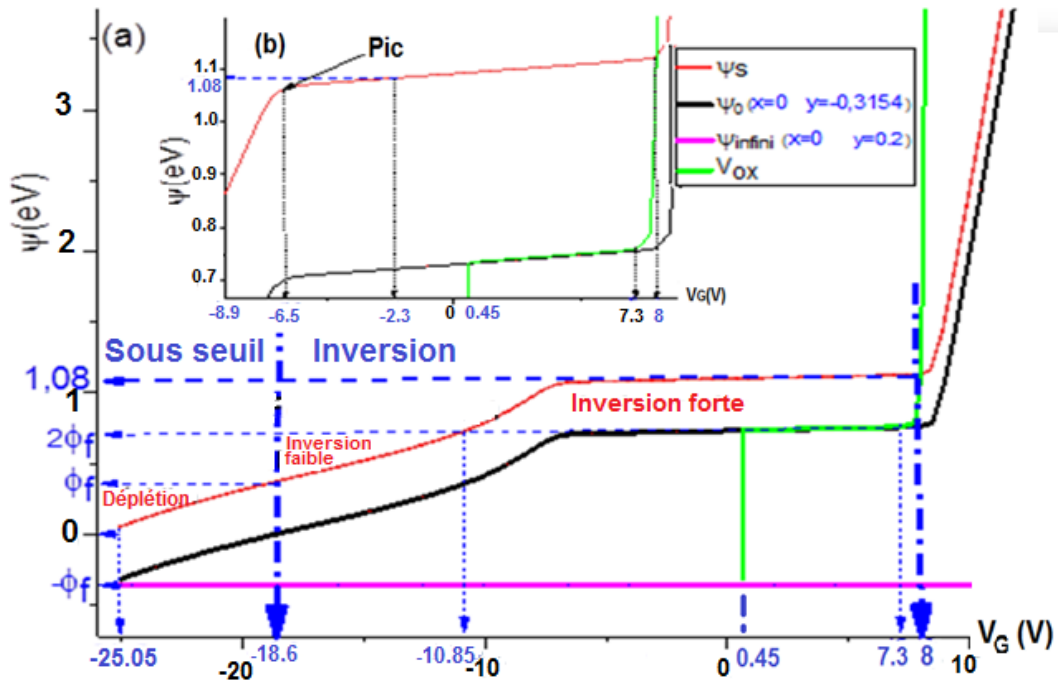


FIGURE III.7 – La variation des potentiels électrostatiques et la chute de tension à travers l'oxyde V_{ox} en fonction de tension de grille(a) . Zoom de la région de régime forte inversion (b).

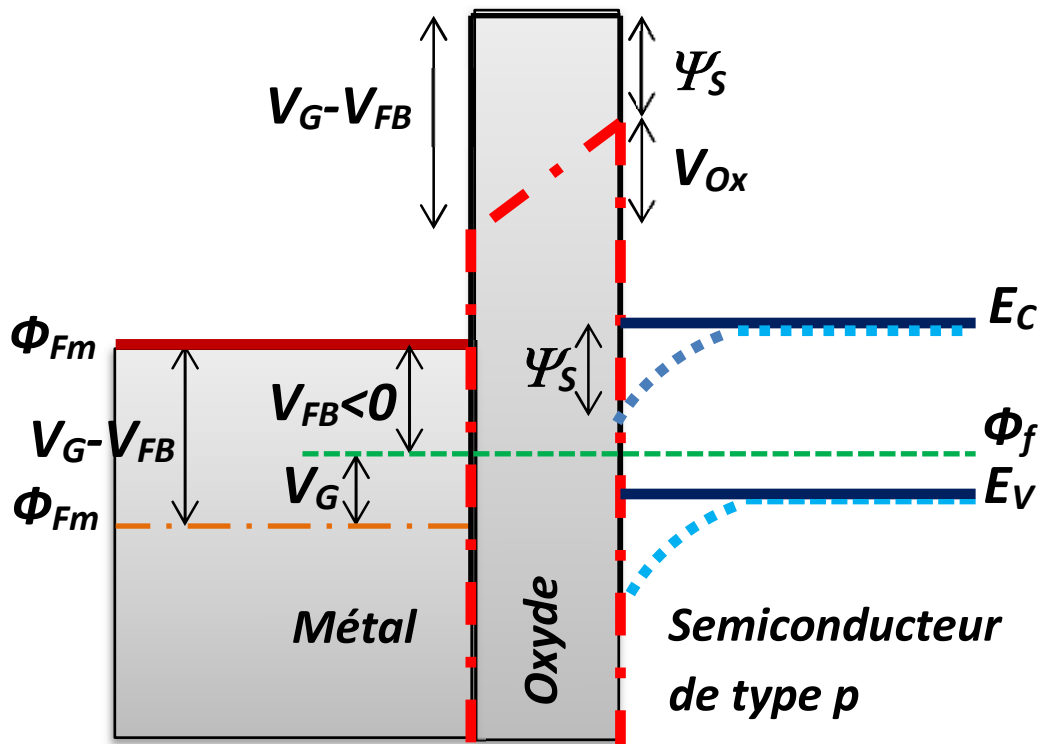
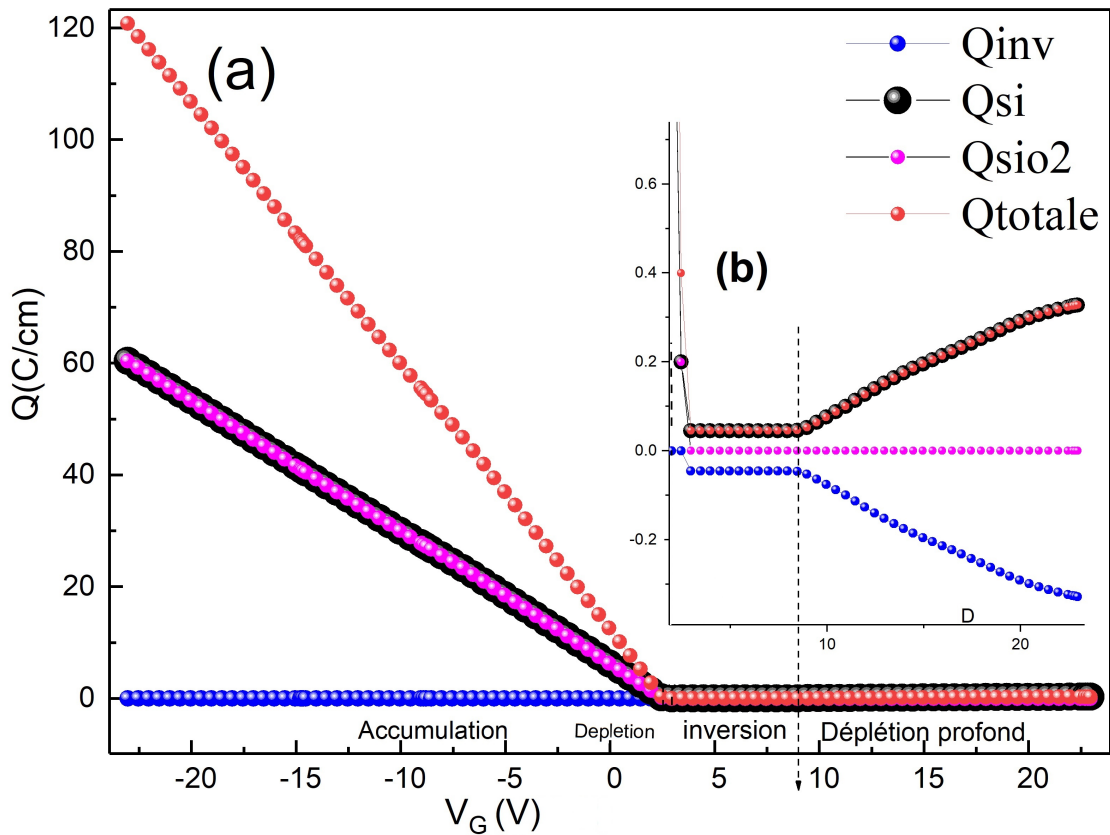


FIGURE III.8 – Diagrammes de bande d'énergie et de potentiel d'un condensateur MOS montrant comment les bandes changent dans différentes conditions de polarisation de grille. Les lignes pleines représentent la condition de bande plate V_{FB} . Les lignes pointillées représentent le mode d'inversion[112].

la transition de la charge nulle à $-qN_A$ n'est pas brutale. Après 7.95V on observe une augmentation très rapide du potentiel et V_{ox} ceci explique la combustion du composant.

III.2.3.2. Les charges

La charge d'inversion ne disparaît pas à la tension de seuil ou au-dessus de la tension de seuil. Si nous traçons $Q_{inv} = f(V_G)$ en utilisant l'échelle logarithmique de Q_{inv} , on observe qu'au dessus du point $\psi_s = 2\phi_f$, Q_{inv} chute avec V_G de manière presque "linéaire" sur une échelle logarithmique, ou de manière exponentielle [115]. C'est une observation importante, et c'est à l'origine de l'alimentation en veille des transistors CMOS. Découvrons en plus sur la charge d'inversion à des tensions de grille bien inférieures au seuil.



*_

FIGURE III.9 – Densité de charge en fonction de la tension de grille(a).Agrandis du régime inversion(b).

On voit clairement dans les figures (III.9(a)et(b)), que dans le mode d'inversion, la densité électronique est proportionnelle à la polarisation de la grille et indique que les régions de variation de la densité électronique sont constante et linéaire [116].

Bien entendu, la tension de grille est inférieure de tension de bande plate du dispositif qui fonctionne en mode d'accumulation. Ensuite, le composant fonctionne en mode de déplétion et pour une tension de grille supérieure de la tension de seuil, le composant fonctionne en mode d'inversion.

Au fur et à mesure que la polarisation de la grille augmente, les électrons deviennent de plus en plus piégés contrairement aux trous. Lorsque la polarisation positive de la grille augmente, le confinement électronique augmente et le puits de potentiel deviennent plus étroits, puisque les porteurs sont dans ce cas confinés à proximité de l'interface[117].

On peut conclure que : Si V_G est scanné rapidement, Q_{inv} ne peut pas répondre au changement de V_G . L'augmentation de la charge du substrat densité Q_s doit alors provenir d'une augmentation de densité de charge d'épuisement Q_{dep} .

⇒ La profondeur d'appauvrissement W_d augmente à mesure que V_G augmente.

⇒ La capacité C diminue à mesure que V_G augmente

III.2.3.3. Extraction et analyse des densité d'états (DOS)

Pour analyser les courants de fuite dans les structures MOS, l'outil le plus utile est un simulateur TCAD de SILVACO qui contient un modèle de piège de type accepteur et donneur. Dans un calibrage de courant de fuite, le DOS (Densité Of State) est important mais la probabilité d'occupation doit également être prise en compte afin de comprendre le comportement des défauts et du courant totale. Lorsque le courant de grille est très petit, il est nécessaire d'utiliser un modèle BBT (Band to Band Tunnelling) pour étalonner le courant de fuite.

Dans ce travail, nous décrivons comment calibrer les données de simulation TCAD avec le simulateur de dispositif Atlas de Silvaco en utilisant un modèle de densité d'états (DOS) (Tableau(III.1)) et un modèle de tunnel bande à bande (BBT). Dans des conditions du courant de grille très petite, la courbure de la bande d'énergie peut être suffisante pour permettre aux électrons de passer de la bande de valence à la bande de conduction, ce qui génère des paires électron-trou (EHP) [118]. Cet effet générateur d'EHP peut être expliqué par un modèle BBT qui est déterminé par le champ électrique comme indiqué dans l'équation(III.4) et la figure(III.10) :

TABLEAU III.1 – Les paramètres de piège employé pour améliorer la simulation avec les mesures expérimentales

Densité totale des états de type accepteur dans la distribution de queue au bord de la bande de conduction (NTA)	1.12×10^{21} ($cm^{-3}eV^{-1}$)
Densité totale des états de type donneur dans la distribution de queue au bord de la bande de valence (NTD)	4×10^{20} ($cm^{-3}eV^{-1}$)
Energie de décroissance caractéristique pour la distribution de queue des états de type accepteur (WTA)	0,025 (eV)
Energie de décroissance caractéristique pour la distribution de queue des états de type donneur (WTD)	0,05 (eV)
Densité totale d'états de type accepteur dans une distribution gaussienne (NGA)	5×10^{17} ($cm^{-3}eV^{-1}$)
Densité totale d'états de type donneur dans une distribution gaussienne (NGD)	3×10^{16} ($cm^{-3}eV^{-1}$)
Energie correspondant au pic de distribution gaussienne pour les états de type accepteur (EGA)	0.4 (eV)
Energie correspondant au pic de distribution gaussienne pour les états de type donneur (EGD)	0.4 (eV)
Énergie de décroissance caractéristique pour une distribution gaussienne d'états de type accepteur (WGA)	0.1 (eV)
Énergie de décroissance caractéristique pour une distribution gaussienne d'états de type donneur (WGD)	0.1 (eV)

$$G_{BBT} = BB.A \times E_{ox}^{BB.GAMMA} \times \exp\left(\frac{BB.B}{E_{ox}}\right) \quad (III.3)$$

où G_{BBT} est le taux de génération de bande à bande, E_{ox} est l'amplitude du champ électrique et $BB.A$, $BB.B$ et $BB.GAMMA$ sont des paramètres définissables par l'utilisateur. Les bonnes valeurs ajustés pour ce travail sont : $BB.A = 8 \times 10^{20} cm^{-1} V^{-2} s^{-1}$, $BB.B = 1.76 \times 10^7 V/cm$ et $BB.GAMMA = 2.5$

Les pièges sont situés dans la bande interdite des MOS (figures(III.10)). Les pièges peuvent avoir deux états différents, "l'état de type donneur" et "l'état de type accepteur", et agissent comme des centres de recombinaison où les électrons et les trous ont des processus de capture/émission [119].

La probabilité d'occupation d'un niveau de piège à l'énergie E pour la queue et les états accepteur et donneur gaussien est donnée en fonction des sections efficaces (Tableau(III.2)). La probabilité d'occupation a une valeur comprise entre 0 et 1 et tient compte de la probabilité que les états soient vides ou remplis [120]. En conséquence, le taux des charges de recombinaison est influencé. Ce dernier est un paramètre important

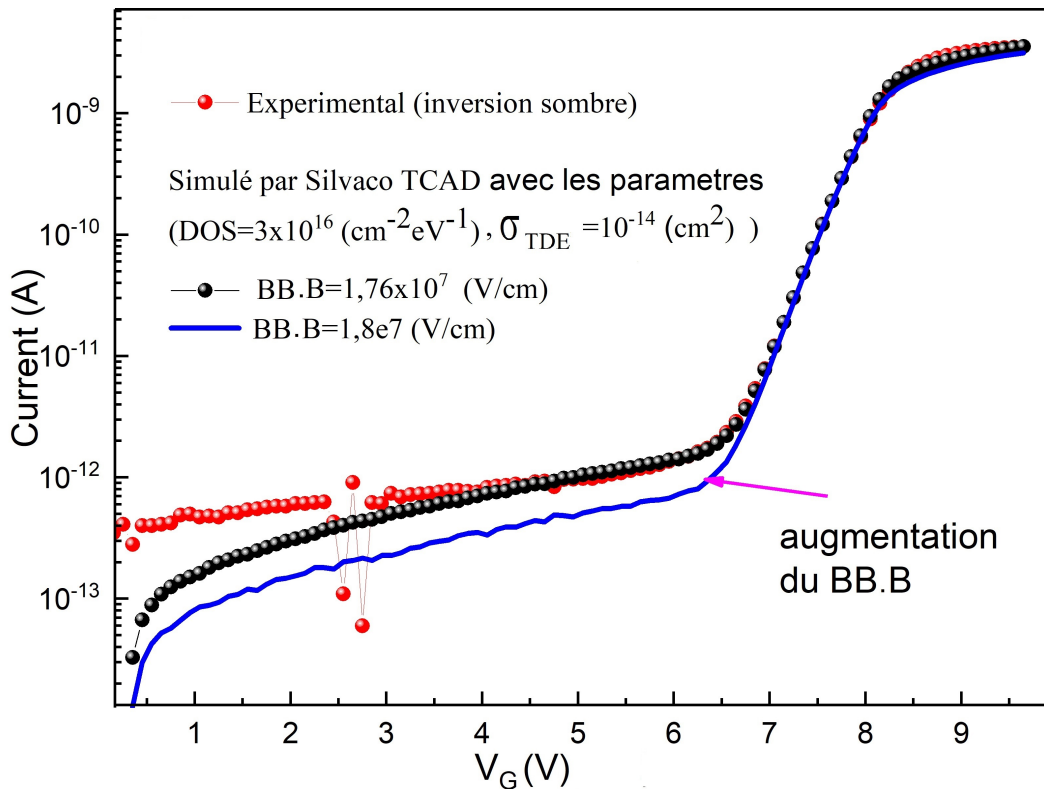


FIGURE III.10 – Effet du modèle de tunnel bande à bande (BBT) .

pour la détermination du courant de fuite du Composant.

Comme le montre les figures(III.11(a) et (b)), la probabilité d'occupation de pièges de type accepteur dans le canal avant se déplace vers la bande de conduction à mesure que la tension de grille augmente. Selon la tension de grille positivement grande, la concentration d'électrons dans le canal avant a augmenté. Cela a augmenté la fonction de probabilité des pièges de type accepteur, ce qui signifie que la probabilité remplie d'électrons dans le piège a augmenté.

Les changements dans les niveaux quasi-Fermi à l'interface du semi-conducteur provoquent des changements d'occupation du piège jusqu'à une distance d dans l'isolant. La distance d dépend du logarithme népérien du temps de mesure (**TIMESPAN**) divisé par la durée de vie de capture du piège. Les pièges situés en profondeur dans l'isolant nécessitent donc une grande valeur de (**TIMESPAN**). Le paramètre **DEPTH** ne doit donc pas être réglé sur une valeur trop élevée [118].

En conséquence, les densités ionisées des pièges de type accepteur augmentent à mesure que la tension de grille augmente. Une fois qu'on connaît le niveau d'énergie

TABLEAU III.2 – Les paramètres de section efficace utilisés pour améliorer la simulation avec les mesures expérimentales

Section efficace de capture des trous pour la queue de l'accepteur (SIGTAH)	$1 \times 10^{-16}(cm^2)$
Section efficace de capture des trous pour les états gaussiens de l'accepteur (SIGGAH)	$1 \times 10^{-14}(cm^2)$
Section efficace de capture d'électrons pour la queue du donneur (SIGTDE)	$1 \times 10^{-14}(cm^2)$
Section efficace de capture d'électrons pour les états gaussiens du donneur (SIGGDE)	$1 \times 10^{-16}(cm^2)$
Section efficace de capture des trous pour la queue du donneur (SIGTDH)	$1 \times 10^{-14}(cm^2)$
Section efficace de capture des trous pour les états gaussiens du donneur (SIGGDH)	$1 \times 10^{-16}(cm^2)$

dominant et la probabilité d'occupation qui affectent le courant total du MOS pour une tension de grille donnée, on doit sélectionner les types DOS pour l'étalonnage.

Au fur et à mesure que les pièges de type accepteur augmentent, les états de capture d'électrons augmentent et ils provoquent moins de porteurs libres dans la bande de conduction. Par conséquent, le courant total du MOS diminue. Dans les pièges de type donneur, un DOS plus grand fait émettre un plus grand nombre d'électrons des pièges vers la bande de conduction.

En conséquence, le courant total des MOS a augmenté à mesure que les pièges de type donneur augmentaient [118]. Sur la base de ces concepts, nous pouvons obtenir un bon résultat de calibration, comme le montre la figure(III.11(d)).

Pour notre cas le régime et inversion, nous avons démarré l'étalonnage à $V_G = 0V$, nous pouvons voir que le niveau d'énergie est de $2\phi_f$ eV où la fonction de probabilité est de 0,5 sur les figures (III.11(c)et(d)). La variation de DOS près de $2\phi_f$ eV apporte des changements considérables à la densité ionisée et au taux de recombinaison .

La bosse indique qu'à des niveaux de dopage du substrat très élevés, même au point d'inversion forte, le niveau d'énergie de Fermi à l'interface se rapproche du haut de la bande de valence[121]. En fait, au point d'inversion forte, la différence entre le niveau d'énergie de Fermi et le haut de la bande de valence à l'interface n'est que de 0,025 eV

au niveau du substrat (Figure III.5) du paragraphe précédente.

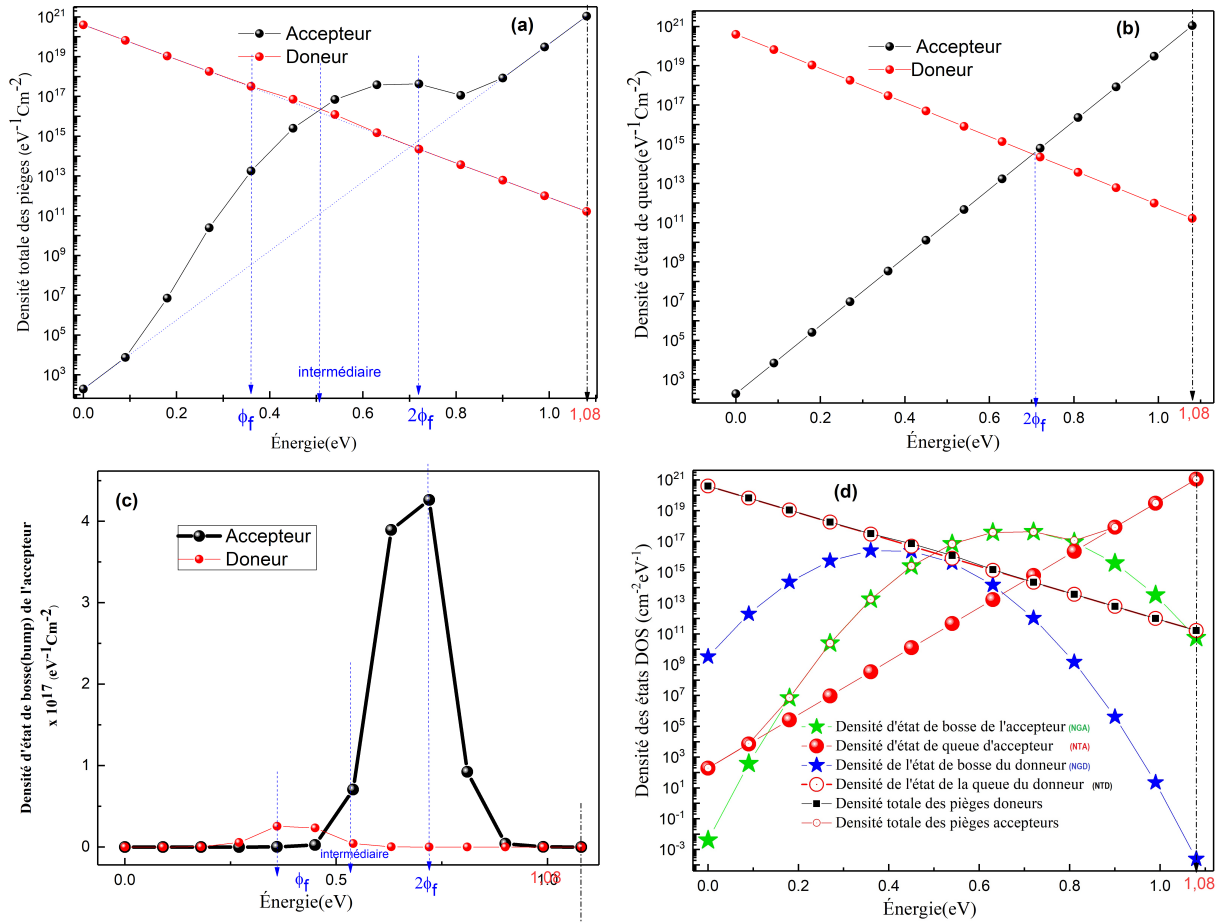


FIGURE III.11 – (a) Densité totale des pièges.(b) Densité d'état de queue.(c) Distribution gaussienne des états de bosse accepteur et donneur dans le substrat Si en décomposition linéaire.(d) Densité de défauts d'états comprenant des états de queue accepteur et donneur en décomposition exponentielle et distribution gaussienne des états de bosse accepteur et donneur dans le substrat.

III.3. Transistor nMOSFET de l'électronique moderne

III.3.1. Introduction

De nos jours, produire un MOSFET de l'électronique moderne avec une longueur de canal bien inférieure à un micromètre est un grand défi car la petite taille a créé un problème de fonctionnement électrique dans le MOSFET tel que la tension de seuil, la tension sous le seuil et le courant de fuite [122].

Le transistor MOSFET rétrécissant fait face à des défis particuliers liés à la profondeur de jonction ; chevauchement de grille et rugosité latérale sous-90 nm nœuds [123]

puisque les composants réels passent par de nombreuses étapes de traitement, donc une évaluation fiable des propriétés électriques ou l'optimisation de la conception des dispositifs finaux dépend du développement du processus unitaire optimisé. Parmi les objectifs de cet thèse est d'effectuer des simulations à l'aide de Silvaco-TCAD pour prédire les processus de fabrication et les caractéristiques électriques ($C_G - V_G$) pour un nMOSFET de l'électronique moderne.

Les chercheurs proposent plusieurs méthodes pour déterminer les contributions aux mécanismes de conduction du courant des films diélectriques qui sont évaluées en convertissant les données de ($C_G - V_G$) mesurés et en les traçant de manière spécifique pour chacune des méthodes de conduction.

III.3.2. Simulation des étapes de fabrication

Les procédés de fabrication de le nMOSFET dans la figure(9) de la référence [4], a été simulé à l'aide du module Silvaco-ATHENA (le schéma de la structure est représenté sur la figure(III.12)(voir annexe2). Tous les paramètres technologiques tels que les profondeurs de jonction, les doses et les énergies ont été optimisés. Nous avons choisi pour cette étude un transistor NMOS avec une longueur de canal $L = 20 \text{ nm}$, réalisé à partir d'un substrat de silicium de type P dopé au Bore ($N_A = 1,25 \times 10^{15} \text{ cm}^{-3}$) d'orientation cristallographique (100). Les principales étapes utilisées dans la simulation du procédé technologique sont présentées ci-dessous :

1. Implantation sous la grille : Nous avons implanté une dose de bore de $5 \times 10^{14} \text{ at/cm}^2$ avec une énergie de 10 keV. Cette opération technologique va nous permettre de contrôler les potentiels des champs latéraux.
2. Dépôt d'isolant de grille : Nous avons déposé un diélectrique SiON de 2,5 nm d'épaisseur par procédé CVD en raison de son uniformité et de son comportement électrique, il est conforme aux caractéristiques des dispositifs CMOS[124].
3. Grille en poly-silicium : Nous avons optimisé une épaisseur de 28 nm et une concentration de dopage phosphore dans le poly-silicium de 10^{20} cm^{-3} afin d'éviter la création d'une couche inter-faciale de SiO₂ compromettant la capacité globale et le matériau de la grille doit être soigneusement sélectionné [125] .

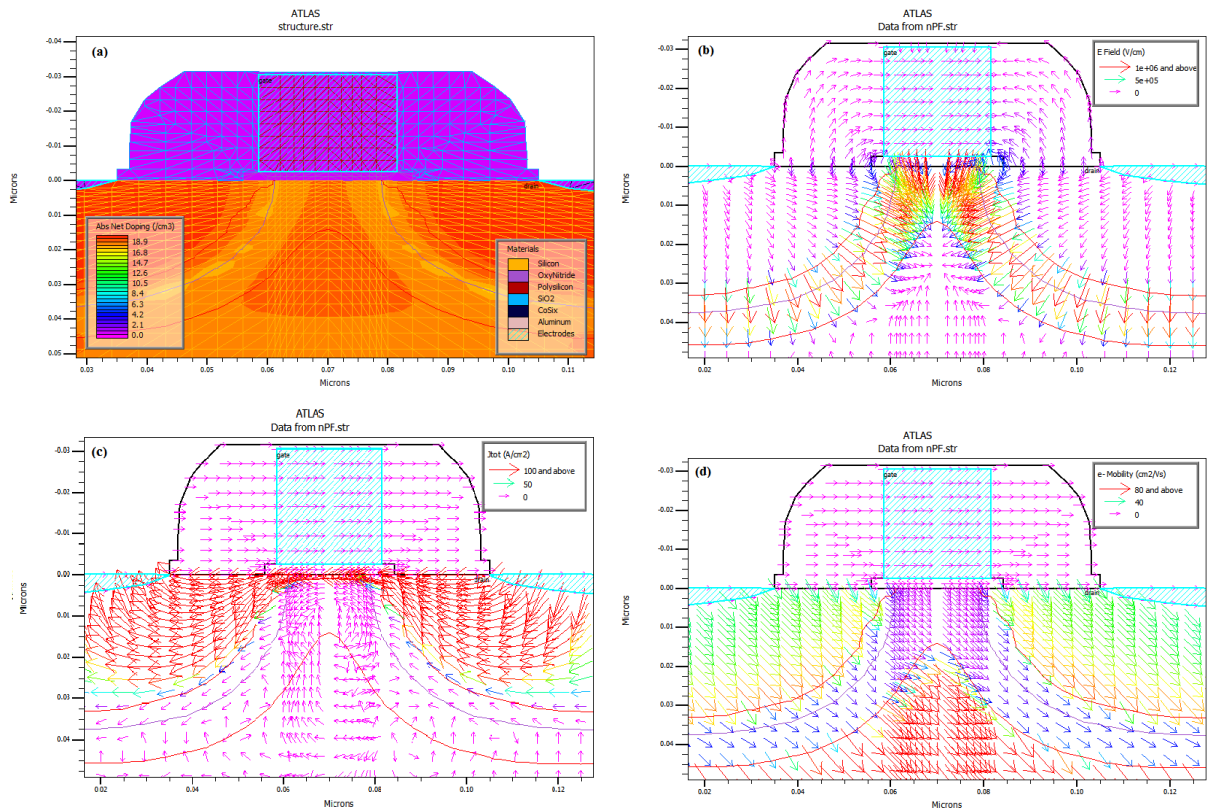


FIGURE III.12 – Vue en coupe d'un nMOSFET [4] simulé illustre les paramètres appropriés suivant : (a) Le maillage, le dopage net, les électrodes, la jonction avec leur profondeur et bords du désertion et les différentes régions. (b) Direction et distribution de la densité du champ électrique. (c) Distribution de la densité totale du courant. (d) Mobilité des électrons dans le substrat et leurs directions.

4. Implantation d'oxyde de dépôt : Pour améliorer l'implantation dans les régions LDD (extensions Lightly Doped Drain ou Source-Drain) et ainsi protéger le poly-silicium nous avons réalisé une fine couche de SiO_2 d'une épaisseur de 100 nm.
5. Réalisation des régions LDD : Nous avons implanté une dose de $3,5 \times 10^{13} at/cm^2$ de phosphore d'une énergie de 9 keV.
6. Des boîtes(box) de source et de drain : Ont été réalisées par implantation ionique avec une dose d'arsenic de $1 \times 10^{15} at/cm^2$ et une énergie de 4 keV [123, 126] en utilisant la méthode FERMI pour réduire fortement le temps de simulation [127].
7. Recuit thermique rapide (RTA) : Une rampe de 750 à 1050 °C a été réalisée pour permettre la définition de la jonction en profondeur, la réparation des défauts causés par l'implantation ionique et l'activation des dopants. Les quantités technologiques d'implantation ionique ont été optimisées afin d'avoir une concentration surfacique élevée (de l'ordre de $1,29 \times 10^{19} at/cm^3$) et permettre une profondeur de jonction

(de l'ordre de 31,49 nm).

8. Dépôt de contacts métalliques : Nous avons déposé une couche de siliciure de cobalt d'une épaisseur de 20 nm. Ce dépôt a été suivi d'un recuit thermique pour réaliser les contacts source, grille et drain.

III.3.3. Simulation de la caractéristique électrique ($C_G - V_G$)

Après l'insertion les instructions nécessaire correspond au processus expérimentale dans l'outil ATLAS, On présente les résultats de la simulation TCAD . Ces derniers nous ont amenés au but recherché en utilisant des mécanismes de conduction appropriés.

Les mécanismes du courant de fuite possibles, à de faibles intensités de champ électrique dans les structures MOS, ayant une épaisseur d'oxyde inférieure à 5 nm sont :

- L'effet tunnel direct (Direct tunneling(DT)),
- L'effet tunnel bande à bande (Band to band Tunneling(BBT)),
- Poole-Frenkel (PF),
- Fowler- Nordheim (FN) et
- Le mécanisme Lucky Electron Hot Carrier Injection (HEI) [74].

Parmi ces mécanismes, il semble que le seul HEI donne un courant de fuite de mécanisme observable par rapport aux autres mécanismes cités auparavant. Les paramètres appropriés utilisés pour la simulation TCAD sont indiqués dans le Tableau(III.3) :

La valeur de $\phi_{b_{ON}} = 2.57\text{eV}$ est la barrière de hauteur appropriée à l'interface oxy-nitruure/silicium, qui simule bien les données expérimentales ($I_G - V_G$) mesurées par TCAD-Silvaco. Comme cela a été suggéré dans la référence [19] , la hauteur de la barrière de bande et les paramètres de la constante diélectrique varient linéairement avec la concentration en oxygène dans la couche diélectrique, et cela peut être représenté par les formes suivantes :

$$\phi_{b_{ON}} = 3.15 \times (1 - \alpha) \times 1.05 \quad \text{(III.4)}$$

$$\varepsilon_{ON} = 3.9 \times (2 - \alpha) \quad \text{(III.5)}$$

TABLEAU III.3 – Paramètres employés pour effectuer des simulations à 300K par TCAD-SILVACO des mesures expérimentales ($I_G - V_G$) [4]

Symbole	Quantité	Valeur	Références
E_g	énergie de bande interdite dans le silicium	1.08 eV	[67]
χ_s	affinité électronique du silicium	4.17 eV	[67]
$\phi_{b_{ON}}$	hauteur de barrière d'interface SiON/Si	2.57 eV	[104]
ε_{ON}	constante diélectrique relative pour l'isolant	6.06 ε_0 eV	[102]
D_{it}	densité de pièges similaires à l'accepteur	$10^{12} cm^{-2}$	[128]
ϕ_t	niveau d'énergie de piège	0.4	[67]
g	facteur de dégénérescence du centre du piège	1	-
N_F	densité de charge fixe	$8.83 \times 10^{12} cm^{-2}$	[102]
σ_n	section efficace de capture d'électron	$10^{-14} cm^2$	[19, 129]
σ_p	section efficace de capture du trou	$10^{-14} cm^2$	[19, 129]

Où $\phi_{b_{ON}}$ est la hauteur de la barrière de la bande de conduction et ε_{ON} la constante diélectrique correspondante de l'oxynitride. Le facteur α est le pourcentage équivalent d'oxyde de silicium (SiO_2) dans le film d'oxynitride ; c'est-à-dire **100 %** pour l'oxyde de silicium pur et **0 %** pour le nitrure de silicium pur. Le choix de la valeur de $\phi_{b_{ON}} = 2,57$ eV conduit à obtenir un pourcentage équivalent d'oxyde de silicium dans le film d'oxynitride $\alpha = 44,67$ % et la constante diélectrique d'oxynitride $\phi_{b_{ON}} = 6,06 \varepsilon_0$, ce qui est proche des valeurs de **5,7 ε_0** et **6,1 ε_0** dans la référence [102, 130] .

En utilisant les paramètres appropriés cités dans le Tableau(III.3), on obtient un courant de fuite ($C_G - V_G$) du bon accord entre eux et l'expérimentale pour la gamme au-dessus de 0,063V comme le montre la figure (III.13). Cet accord est justifié par les valeurs obtenues de $\sigma_{er} = 2,55$ % [131] et $R2 = 1$ [132] conduit à ce que le modèle HEI s'adapte bien à ces données expérimentales. Nous associons la divergence entre les données expérimentales et simulées en dessous de **0,063 V** à la valeur ΔV , qui présente la chute de tension à travers toute résistance parasite.

Afin de calculer la valeur de ΔV , on montre sur la figure(III.14), le diagramme de bande d'énergie d'un condensateur MOS qui fait l'objet de cette simulation par Silvaco-TCAD. Dans ce diagramme, on suppose que le métal est mis à la terre et qu'une tension

positive est appliquée au semi-conducteur, la chute de tension aux bornes de l'isolant est Δ et la courbure de bande est ψ_s . la chute de tension aux bornes de l'oxyde peut s'écrire[133].

$$\Delta = E_g + \chi_s - \phi_m - qv_p - q\psi_s - qV_G \quad (III.6)$$

Où V_G est la polarisation directe du l'électrode, ϕ_m est le travail de sortie du polySi dopé n, que l'on peut considérer dans notre cas comme égal à l'affinité ψ_s et v_p la différence entre le niveau de Fermi des porteurs majoritaires et la bande de valence exprimée par :

$$v_p = \frac{k_b T}{q} \ln\left(\frac{N_V}{N_A}\right) \quad (III.7)$$

Où N_V est la densité d'états effective extraite pour les trous égale à $1,04 \times 10^{19} \text{ cm}^{-3}$.

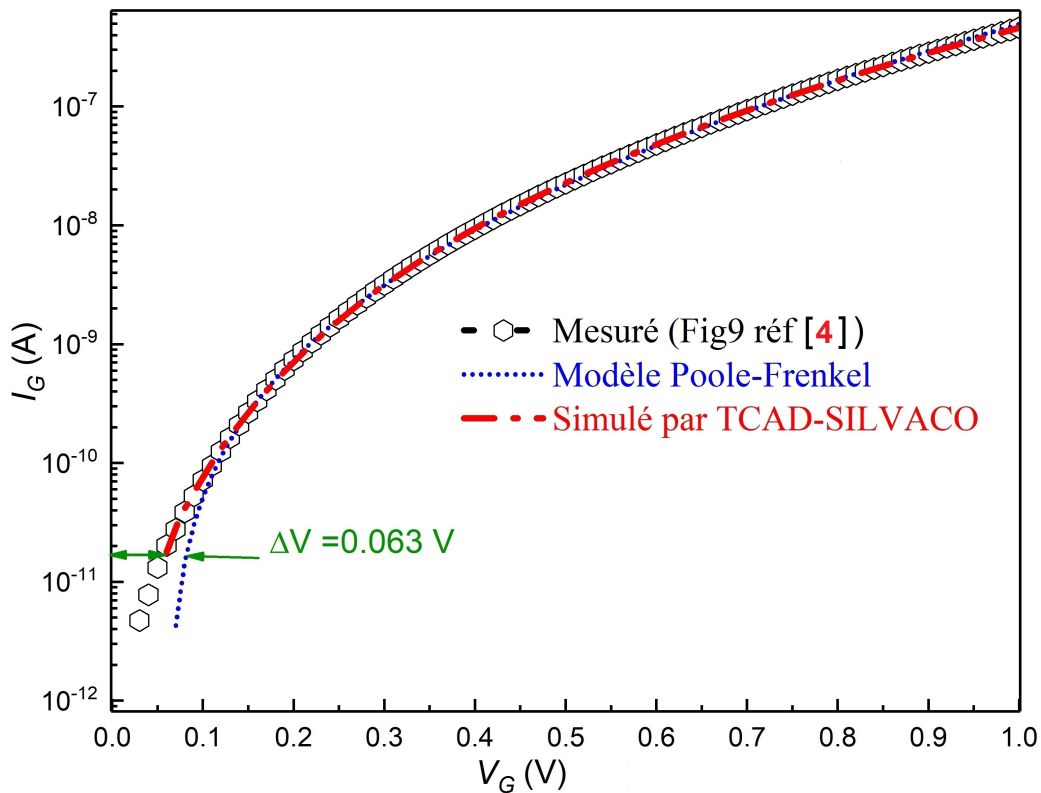


FIGURE III.13 – Courant de fuite de grille mesuré (cercles noirs), simulé avec Silvaco-TCAD (ligne rouge continue) et simulé avec le modèle Poole-Frenkel (ligne bleue pointillée courte) d'un MOSFET.

On observe un très bon accord entre les simulations Silvaco mesurées et le modèle de Poole-Frenkel pour $V_G > 0,1 \text{ V}$. En revanche, pour $V_G = 0,07 \text{ V}$, le modèle de Poole-

Frenkel se sépare des données mesurées en raison de la chute de tension aux bornes de la résistance série parasite ($\Delta V = \mathbf{0,063\ V}$).

Le dispositif est en forte inversion et pour simplifier l'extraction ψ_s , est fréquemment approché par une constante, qui est soit à déterminer lors de l'extraction, soit supposée égale à ≈ 0 en accumulation, soit égale à $2\phi_F$ en forte inversion, ϕ_F est le Potentiel de Fermi donné par :

$$\phi_F = \frac{k_b T}{q} \ln\left(\frac{N_A}{n_i}\right) \quad (\text{III.8})$$

En prenant la valeur de la concentration de dopage $N_A = 1,25 \cdot 10^{15} \text{ cm}^{-3}$, la concentration intrinsèque n_i extraite vaut $1,45 \cdot 10^{10} \text{ cm}^{-3}$. Sous le régime de forte inversion, on obtient la valeur de la chute de tension à travers l'isolant comme indiqué sur la figure(III.14) qui est égale à **-0,741 eV**. D'autre part en inversion forte et d'après la loi de Gauss on a :

$$\Delta = \frac{t_{ox}}{\varepsilon_{ON}} (Q_{it} - Q_f) \quad (\text{III.9})$$

Q_{it} et Q_f sont respectivement les charges piégées à l'interface SiON/Si et les charges fixes dans l'isolant. Nous avons supposé dans notre simulation une interface de type charges piégées accepteur, alors, l'équation(III.10) devient :

$$\Delta = \frac{q \times t_{ox}}{\varepsilon_{ON}} (D_{it} \times \Delta E + N_f) \quad (\text{III.10})$$

où ΔE la différence d'énergie entre le niveau de Fermi et la bande de valence, donnée par :

$$\Delta E = \frac{E_g}{2} - \frac{k_b T}{q} \ln\left(\frac{N_A}{n_i}\right) \quad (\text{III.11})$$

En utilisant les valeurs simulées comme on le montre le Tableau.3, on obtient une autre valeur du chute de tension à travers l'isolant comme indiqué sur la figure(III.14) qui est égale à **-0,678 eV**. Nous en avons déduit que la différence entre les deux résultats correspond exactement à la valeur de $\Delta V = \mathbf{0,063\ V}$.

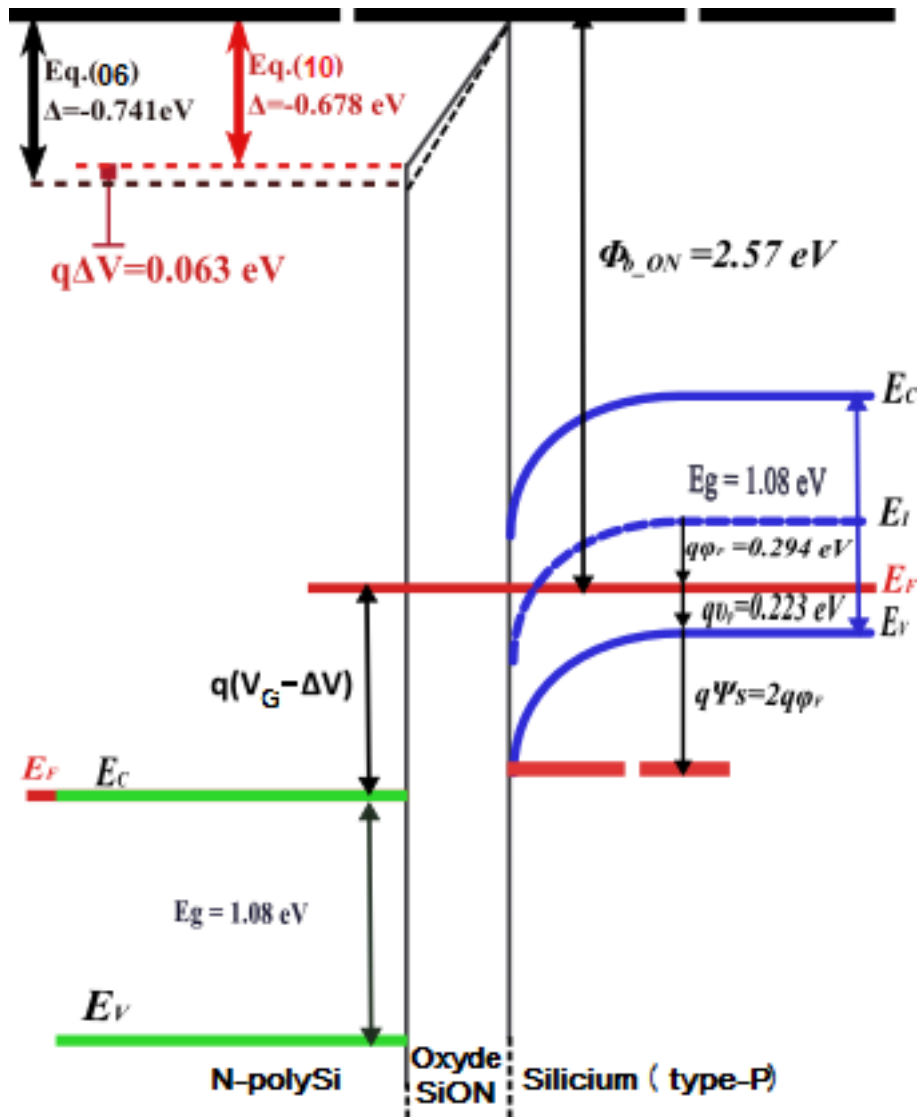


FIGURE III.14 – Diagramme de bande d'énergie d'une structure nMOSFET avec un diélectrique SiON d'épaisseur de 2,5 nm en forte inversion.

III.3.3.1. Une nouvelle fonction de conductance directe normalisée (NDC_{New})

Le phénomène d'émission assisté par piège Poole-Frenkel (PF) est un mécanisme de fuite important . Cet mécanisme peut être simplifié dans le formulaire suivant[134, 135, 136].

$$I_G = A_{PF}(V_G - \Delta V) \exp(B_{PF}\sqrt{V_G - \Delta V}) \quad (III.12)$$

Où A_{PF} et B_{PF} sont des coefficients génériques. Réécrivons l'équation III.12 pour obtenir l'expression du du courant de Poole-Frenkel sous la forme standard se met sous la forme :

$$\ln\left(\frac{I_G}{V - \Delta V}\right) = \ln(A_{PF}) + B_{PF}\sqrt{V - \Delta V} \quad (\text{III.13})$$

$$B_{PF} = \frac{q}{k_b T} \sqrt{\frac{q}{\pi \epsilon_0 \epsilon_{ON} t_{ox}}} \quad (\text{III.14})$$

Où $\ln(A_{PF})$ et B_{PF} sont l'ordonnée à l'origine et la pente de la droite dans le graphe dans l'équation III.14, k_B est la constante de Boltzmann, T est la température (K), ϵ_0 est la permittivité du vide et ϵ_{ON} est la haute fréquence constante diélectrique du diélectrique (c'est-à-dire le carré de l'indice de réfraction n du diélectrique pour la lumière ordinaire).

Ici ΔV est une constante globale incluant le chute de tension aux bornes de la résistance série des parasites. Étant donné que ΔV est un paramètre inconnu, il est difficile d'extraire A_{PF} et B_{PF} de l'ajustement du tracé standard à l'aide de l'équation III.14. Cependant, les valeurs des deux paramètres restants B_{PF} et ΔV peuvent être extraites du meilleur ajustement en utilisant la fonction CCR dans l'équation III.15 [4] est :

$$CCR(V_G) = \frac{d \ln(I_G)}{dV} = 0.5 B_{PF} \sqrt{V - \Delta V} + \frac{1}{V - \Delta V} \quad (\text{III.15})$$

Une fois cette extraction est effectuée, le paramètre manquant A_{PF} est calculé par une simple substitution dans l'équation III.12.

Le graphe semi-logarithmique des caractéristiques ($I_G - V_G$) convient pour tester l'ajustement entre les courbes calculées et expérimentales. De plus, on peut utiliser pour une meilleure évaluation de la qualité d'ajustement de l'écart type σ_{er} et le paramètre $R2$ [131, 132] qui évaluent comment le modèle s'ajuste bien aux données.

$$\sigma_{er} = \sqrt{\frac{1}{n} \sum \left(\frac{I_{exp_i} - I_{cal_i}}{I_{cal_i}} \right)^2} \quad (\text{III.16})$$

$$R2 = 1 - \left(\frac{\sum (I_{exp_i} - I_{cal_i})^2}{\sum (I_{cal_i} - \text{mean}(I_{exp_i}))^2} \right) \quad (\text{III.17})$$

Où I_{exp_i} est la valeur expérimentale, I_{cal_i} est la valeur ajustée du courant et n est le nombre de points de mesure .

En utilisant l'équation III.13 et les paramètres montrés de la figure(III.13), on obtient les valeurs de $\sigma_{er} = 59,9 \%$ et $R2 = 0,997 \neq 1$ calculé au-dessus de $0,07$ V, ce qui conduit à la conclusion que le courant de Poole-Frenkel n'est pas observé dans toutes la gammes de données expérimentales.

Malgré l'importance de cet indice statistique pour la forme générale des courbes (méthodes standard et CCR), il s'avère que nous avons raison de vérifier et déterminer les gammes des mécanismes de conduction correspondant à $(I_G - V_G)$.

Maintenant, nous définissons une nouvelle fonction de conductance directe normalisée (NDCNew i.e. New Normalized Direct Conductance)[102] :

$$NDC_{New} = \frac{d \ln(I_G)}{d \ln(V_G - \Delta V)} = (V_G - \Delta V) \times CCR(V_G) \quad (III.18)$$

et par substitution d'expression de l'équation III.15 dans l'équation III.18, on obtient :

$$NDC_{New} = \sqrt{V_G - \Delta V} \times 1 + 0.5B_{PF} \quad (III.19)$$

La figure(III.15) montre le graphe de la méthode NDCnew calculé en utilisant quatre valeurs de ΔV (0 V , $0,03$ V , $0,063$ V et $0,09$). Le bon accord n'est obtenu que lorsque l'on substitue une valeur de $\Delta V = 0,063$ V à la tension appliquée V_G . Ce qui implique que le mécanisme de Poole-Frenkel ne peut être observé que dans la région d'intervalles de tension de grille V_G appartenant à $[0,09$ V , $0,49$ V]. Ce résultat est lié aux concepts de base du mécanisme de Poole- Frenkel d'apparition lorsque trois conditions sont satisfaites :

1. L'émission thermique des effets coulombiens des pièges à porteurs de charge dans le volume d'un semi-conducteur ou d'un diélectrique[86] ,
2. Le mécanisme se produit lorsque le courant électrique champ provoque un abaissement de la barrière de potentiel de Coulomb,
3. Le mécanisme n'existe que lorsqu'une interaction de Coulomb se produit[67] , et puisque les effets d'interaction de Coulomb dans MOSFET ont une courte portée[137, 138] .

Par conséquent, le **mécanisme de Poole-Frenkel** apparait dans une faible région , et

c'est le résultat principale dans cette étude.

La figure(III.15) présente la nouvelle méthode de caractérisation dite NDCnew qui consiste à $d \ln(I_G)/d \ln(V_G - \Delta V)$ en fonction de $(V_G - \Delta V)^{0.5}$ pour différentes valeurs de ΔV . Selon l'équation(III.19) cela doit être une ligne droite qui intercepte l'axe verticale en 1. Cela est obtenu lorsque on choisi $\Delta V = 0,063$ V, ce qui implique de la pente que $B_{PF} = 7,66V^{-0,5}$

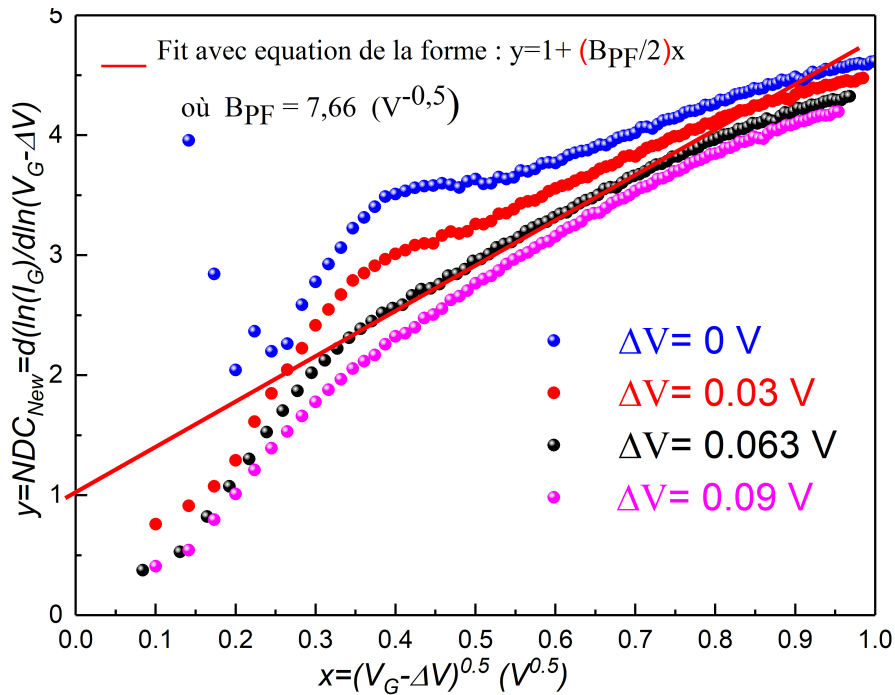


FIGURE III.15 – La Nouvelle Conductance Directe Normalisée (NDCnew) en fonction de $(V_G - \Delta V)^{0,5}$ pour différentes valeurs de ΔV . En sélectionnant la meilleure droite avec une intersection verticale de 1, on obtient une valeur de $\Delta V = 0,063$ V, ce qui implique à partir de la pente que $B_{PF} = 7,66V^{-0,5}$.

III.3.3.2. Comparaison des mesures et des simulations

La figure(III.16(a)) montre le graphe de $\ln(I_G/(V_G - \Delta V))$ en fonction de $(V_G - \Delta V)^{0.5}$, en observe un comportement linéaire pour $(V_G - \Delta V)^{0.5} > 0,4 V^{0.5}$. Par conséquent, le graphe traditionnel implique que le modèle de Poole-Frenkel est censé être valable pour la haute tension. En revanche, la méthode NDCnew, présentée à la figure(III.16(b)), donne un comportement linéaire pour la gamme de tension de :

$$0,7 V^{0.5} > (V_G - \Delta V)^{0.5} > 0,3 V^{0.5}.$$

Par conséquent, le modèle de Poole-Frenkel est valable seulement pour l'intervalle : $0,7 V^{0.5} > (V_G - \Delta V)^{0.5} > 0,3 V^{0.5}$, i.e., $0,49 V > (V_G - \Delta V) > 0,09 V$. Les résultats

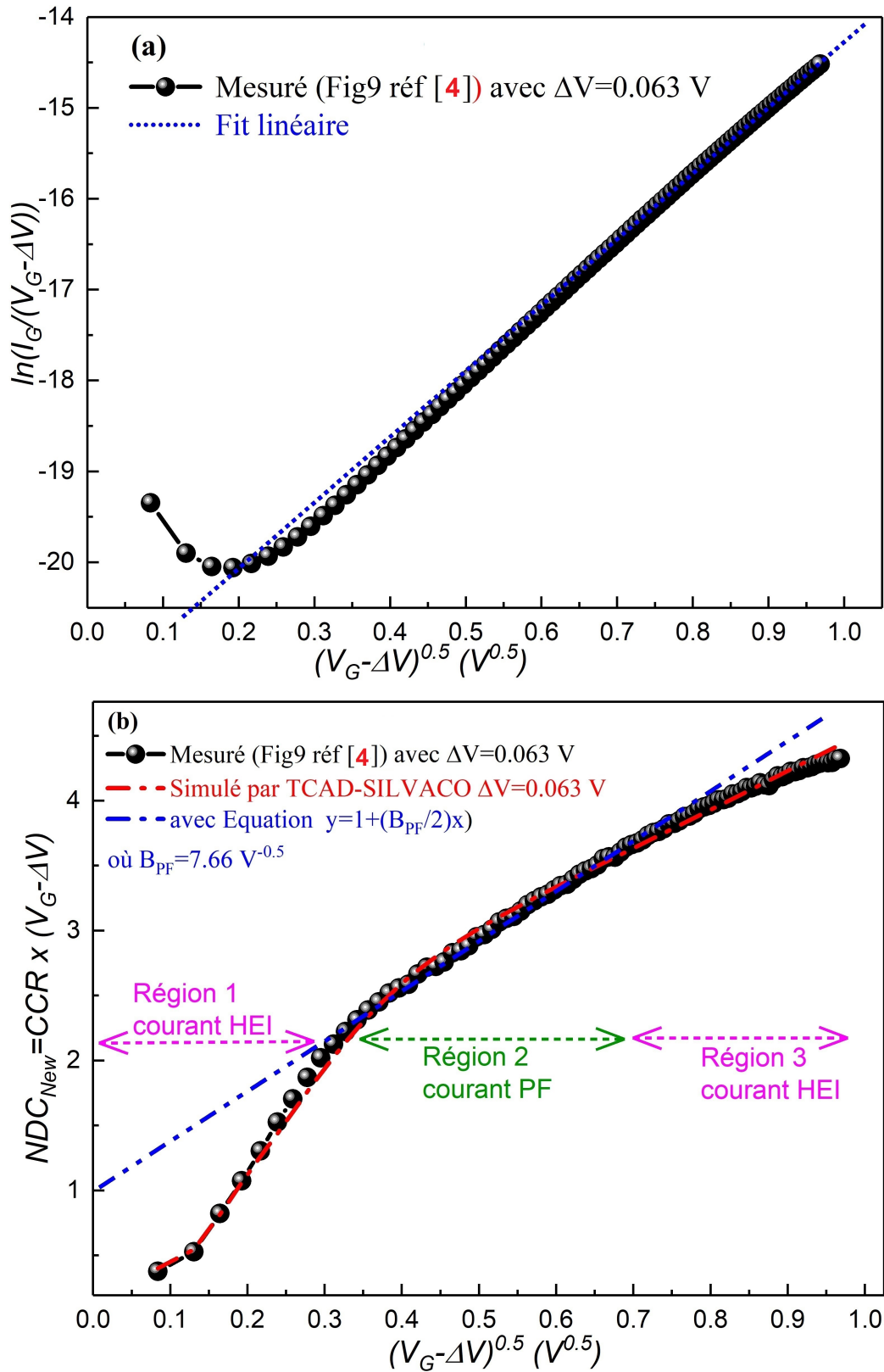


FIGURE III.16 – Détermination de l'intervalle dans lequel Poole-Frenkel (PF) mécanismes de conduction est dominant selon la traditionnelle méthode (a) et selon la nouvelle fonction Direct Conductance Normalisé (NDCnew) (b).

de la méthode NDCnew, utilisant les simulations TCAD, sont également présentés sur la figure(III.16(b)) et ils sont en accord étroit avec ceux des données mesurées.

Étant donné que le modèle de Poole-Frenkel n'est valable que pour la région médiane et qu'il existe un très bon accord entre les mesures et les simulations TCAD-Silvaco en dehors de la région médiane, nous confirmons que l'injection d'électrons chauds (HEI) est le mécanisme dominant pour les régions basse et haute tension. Il existe des rapports antérieurs selon lesquels **HEI** pourrait se produire à basse tension et différentes explications physiques possibles ont été présentées[98, 139].

III.3.4. Simulation des capacités parasites

Les capacités parasites des transistors MOS sont formées en raison de la séparation des charges mobiles dans diverses régions de la structure comme le montre la figure(III.17).

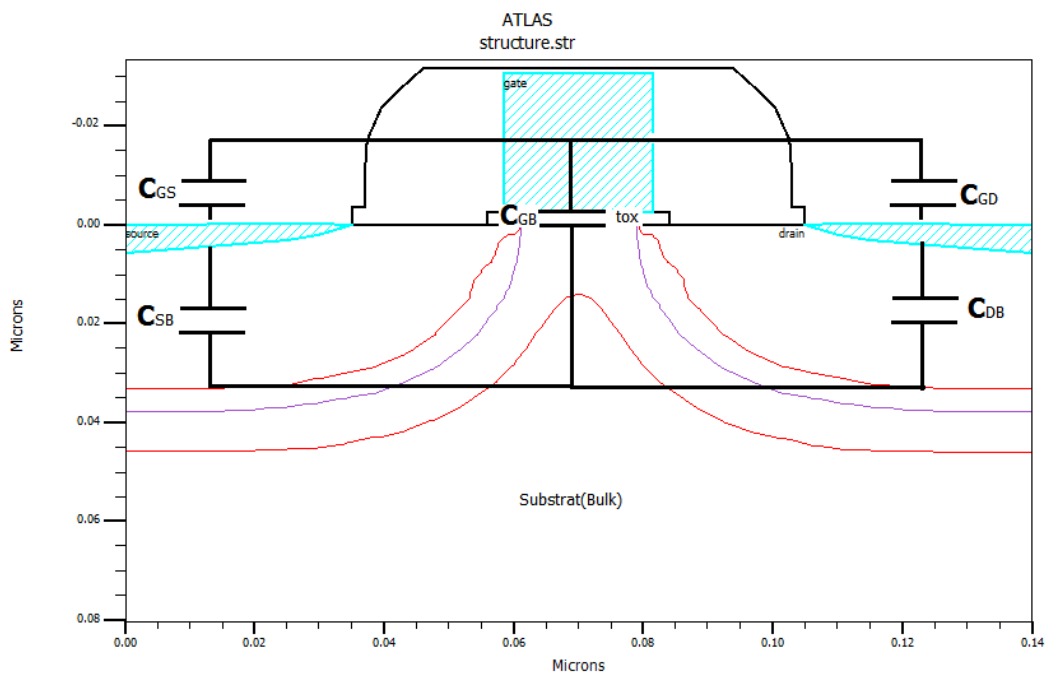


FIGURE III.17 – Différentes capacités parasites dans le MOSFET.

Les capacités parasites sont les composants indésirables du circuit qui sont négligés lors du travail en basse fréquence. Mais ne peut être évité lorsque nous travaillons dans des circuits RF haute fréquence comme notre cas ; par conséquent, nous devons faire attention à la capacité parasite lors de la conception .On distingue trois que sont tous des facteurs importants qui influencent les caractéristiques de commutation du

MOSFET[140] :

-Capacité d'entrée C_{in} donné par :

$$C_{in} = C_{GD} + C_{GS} + C_{GB} \quad (III.20)$$

-Capacité de sortie C_{ou} donné par :

$$C_{ou} = C_{DG} + C_{DS} + C_{DB} \quad (III.21)$$

-Capacité de transfert inverse C_r donné par :

$$C_r = C_{GD} \quad (III.22)$$

Comme il y a trois régions dans les quelles le transistor nMOSFET de l'électronique moderne fonctionne en mode off, triode et région de saturation, nous limitons notre étude à la capacité d'entrée avec une fréquence élevée $f = 1MHz$ car nous avons étudié le courant de fuite.

D'après les résultats de simulation de la figure(III.18), il convient de noter que la capacité équivalente C_{in} domine dans différentes sous-capacités dans 3 régions :

- Région du blocage(off) : lorsque la tension de polarisation continue fixe à la borne de grille $V_G < -1.44V$, C_{in} est principalement dominée par la capacité grille -substrat C_{GB} .
- Région triode(linéaire) : lorsque $-1.44V < V_G < -0.54V$ ce qui implique que les tensions de polarisation de grille et de source sont proches l'une de l'autre, C_{in} est principalement dominé par la capacité grille-drain C_{GD} et la capacité grille-source C_{GS} (i.e, $C_{GD} = C_{GS}$).
- Région saturation : lorsque $V_G > -0.54V$, C_{in} est principalement dominé par la capacité grille-source C_{GS} .

La capacité d'entrée de grille C_{in} (lorsque le substrat court-circuit à la source) ne provient pas uniquement de la capacité grille-source C_{GS} (et de la capacité grille-drain C_{GD}). Ignorer la capacité grille-substrat C_{GB} donnerait d'énormes erreurs à des tensions

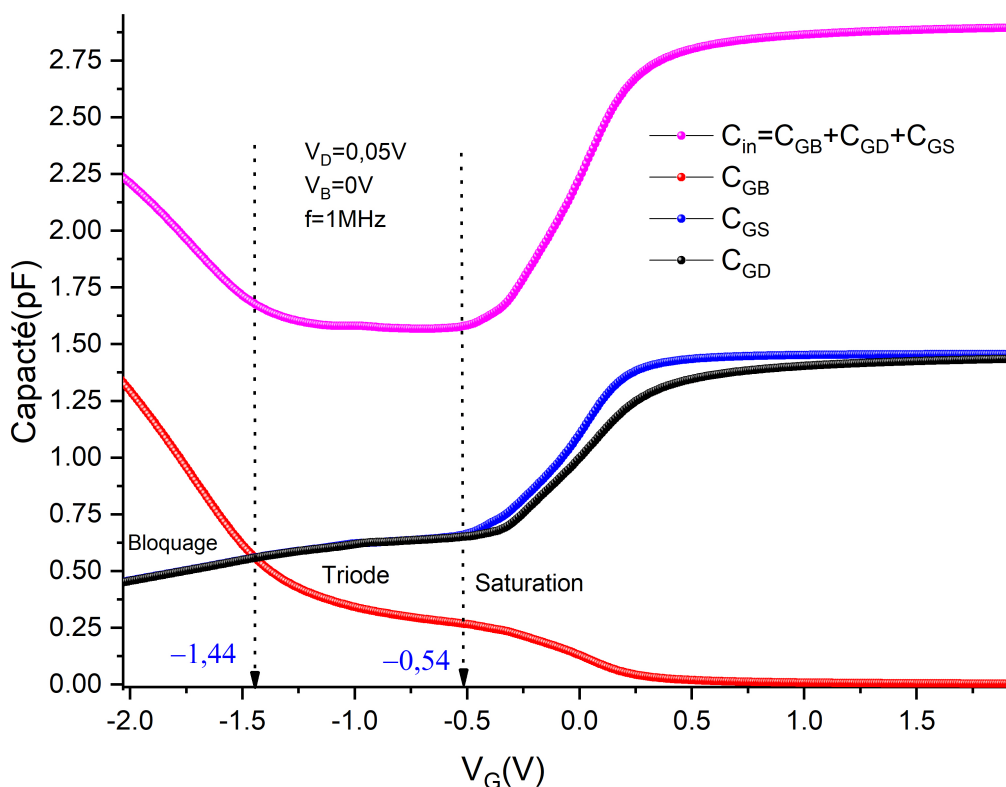


FIGURE III.18 – Capacités parasites non linéaires regardant dans la borne de grille ($V_D = 0.05$ V, $V_B = 0$ V) du MOSFET.

de grille négatives, bien qu'à des tensions de grille positives, la différence puisse être très faible.

III.3.4.1. Effet de la température sur les caractéristiques ($C_{in} - V_G$) et ($C_G - V_G$)

La figure(III.19(a)) montre dans les régions d'état bloqué et triode(linéaire), la capacité d'entrée C_{in} augmente proportionnellement à la température, contrairement à la région de saturation, où la capacité d'entrée diminue avec l'augmentation de la température .

Le courant Poole-Frenkel fait partie des courants très sensibles à la température. Afin de connaître les gammes de température dans lesquelles le mécanisme de Poole-Frenkel apparait, On a simulé par Silvaco-TCAD, les courbes de courant pour différentes températures (figure(III.19(b))) puis on a les analysé par la méthode NDCnew (III.19(c)).

Notre analyse montre que le courant poole-Frenkel apparaît uniquement dans la gamme de température [300 °K , 400 °K]. On déduit que dans cette intervalle de température le champs d'interaction coulombienne est adéquat pour que les porteurs de charges

seront piéger.

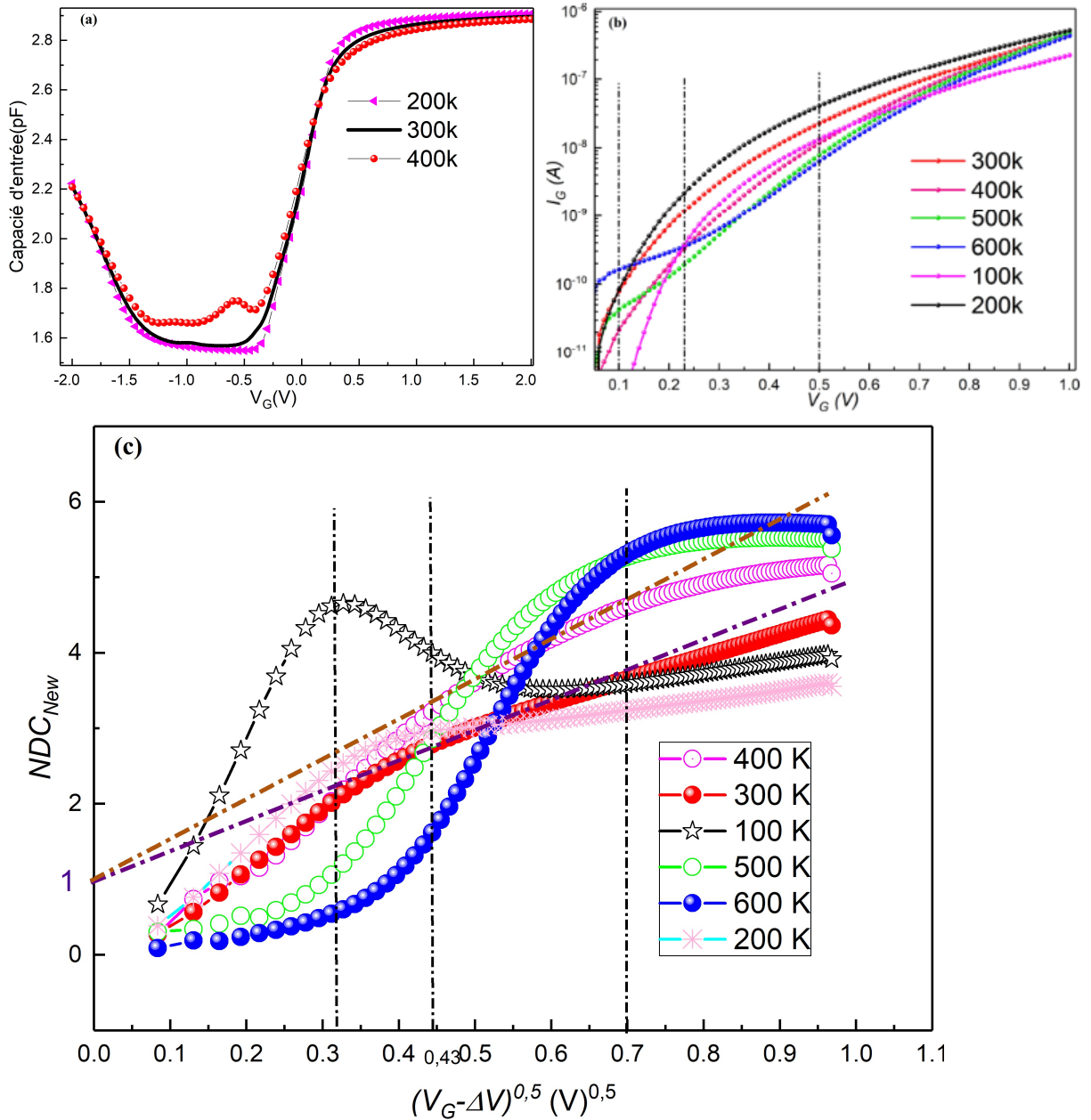


FIGURE III.19 – (a) Effet de la température du MOSFET sur la capacité d'entrée C_{in} , (b) Effet de la température du MOSFET sur le courant $I_G - V_G$. (c) Analyse de l'existence du courant Poole-Frenkel par la méthode NDCnew

III.3.4.2. Extraction de tension du seuil

La tension du seuil V_{TH} est un paramètre important du transistor MOSFET. Les chercheurs ont proposé différentes méthodes approximatives d'extraction. Dans ce travail on a utilisé la méthode du sondage du TCAD-SILVACO pour déterminer le potentiel du

surface ψ_s (figure(III.20(a))) puis la méthode proposée dans la référence [141] comme le montre la figure(III.20(b)) . Cette méthode est basée sur l'intersection des asymptotes de potentiel de surface pour les régions de déplétion et de forte inversion.

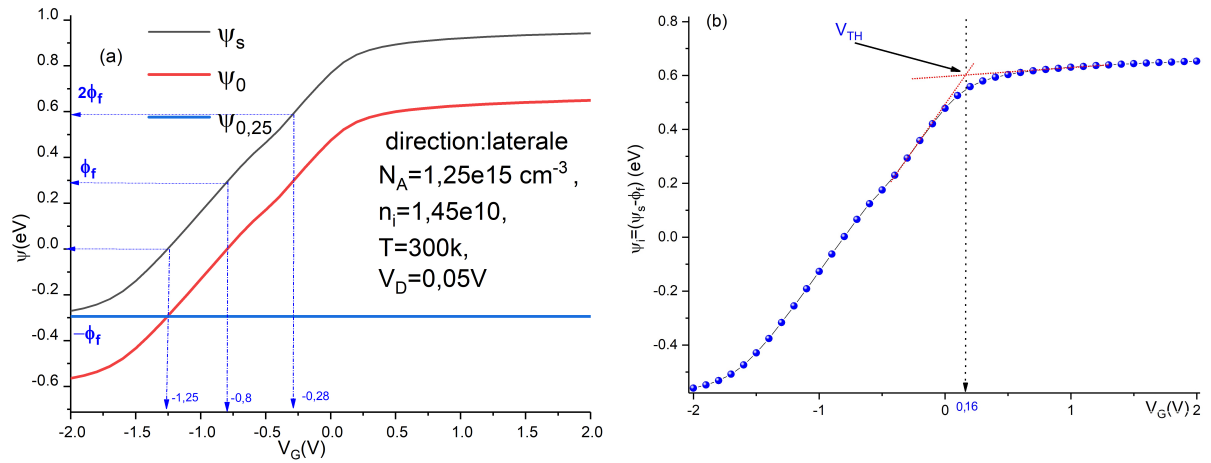


FIGURE III.20 – Extrait du : (a)Le potentiel du surface,(b)La tension du seuil.

III.4. Conclusion

Nous avons démontré une méthodologie avancée de simulation d'une structure MOS verticale (MOSCAP) et une structure latérale (nMOSFET) pour optimiser simultanément leurs propriétés électriques et physiques comprenant les effets des paramètres importants . Le logiciel TCAD-Silvaco fournit une analyse complète des phénomènes physiques sous-jacents à l'échelle submicronique pour la conception et l'optimisation des structures MOS. À l'aide de cet outil de simulation , nous avons pu concevoir virtuellement des comportements de ces dispositifs optimisés pour montrer les effets avantageux de leur fonctionnement dans le mode d'inversion.

CONCLUSION GÉNÉRALE

L'objectif principale du travail de cette thèse est l'étude des propriétés électriques des structures Métal oxide semiconducteur (MOS) par la simulation des caractéristiques électriques courant-tension ($I_G - V_G$) et les caractéristiques capacités -tension ($C_G - V_G$). L'outil de simulations de ces caractéristiques est le logiciel Silvaco TCAD.

Pour bien mener notre travail, nous avons rappelé en premier temps des généralités sur les principes physiques et les propriétés électriques des structures MOS. Ensuite nous avons présenté les divers types de charges et défauts qui peuvent générer le courant de fuite et la capacité lors du fonctionnement du condensateur MOS ou du transistor MOSFET.

Les résultats obtenus à partir de l'analyse des caractéristiques capacités-tension ($C_G - V_G$) des deux condensateurs que ce soit celle à base du silicium ou à base du 4H-SiC montre que l'amplitude de la capacité en accumulation diminue avec l'augmentation de la fréquence. Cette diminution est remarquable au delà de la valeur $f = 1\text{MHz}$. L'augmentation de l'épaisseur de l'oxyde e conduit à un déplacement des courbes $C_G = f(V_G)$ en augmentant les charges des états d'interfaces.

Dans une seconde étape, la description des étapes technologiques de fabrication d'une structure MOS est très importante pour prévoir la structure réelle du composant à l'aide du logiciel TCAD c'est à dire : écrire les différentes codes de simulation des caractéristiques ($C_G - V_G$) et ($I_G - V_G$). Les étapes à suivre pour écrire un programme de

simulation TCAD ont été bien rappelés dans ce chapitre, suivi par description des différents mécanismes de conduction possibles qui servent à prédire le comportement électrique.

Les résultats obtenus à partir de l'analyse des caractéristiques courant-tension ($I_G - V_G$) et capacité-tension ($C_G - V_G$) des deux structures MOS étudiées sont résumés comme suit :

- ✓ le mécanisme de Fowler Nordheim est celui de transport des charges dans ces structures. Cependant, l'introduction des pièges fait ajouter un autre transport assisté par ces derniers aux basses et intermédiaires valeurs des champs électriques. Pour les champs électriques élevés, le transport par le mécanisme de Fowler Nordheim domine.
- ✓ Une nouvelle méthode de caractérisation des mécanismes de conduction du courant de fuite est présentée dans ce travail. Elle permet de bien séparer entre les mécanismes de conduction surtout lorsqu'ils sont présents dans le même intervalle de tension. Ainsi, on a pu déterminer les paramètres du courant de fuite du mécanisme de Poole-Frenkel pour un dispositif nMOSFET avec une grande précision.
- ✓ Dans cette étude on a présenté une procédure de calcul de chute de tension (ΔV), qui présente la chute de tension à travers la résistance parasite du transistor nMOSFET. La valeur de $(\Delta V) = 0.063$ V pour ce composant était calculée avec exactitude.
- ✓ Le mécanisme du Poole-Frenkel existe uniquement dans l'intervalle : $300K \leq T \leq 400K$ pour les deux structures étudiées.
- ✓ Pour l'effet de la température sur la capacité ($C_G - V_G$) nous avons observé la capacité augmente avec l'augmentation de la température dans les régions d'accumulation et de déplétion pour le transistor nMOSFET et vice versa pour le condensateur par contre dans la région d'inversion la capacité du nMOSFET diminue avec l'augmentation de la température et la capacité du condensateur augmente.
- ✓ Les valeurs des tensions de seuil V_{TH} déterminées par le sondage des courbes des potentiels de surface puis l'extraction à l'aide de la méthode d'intersection des asymptotes sont : -6.5V pour le condensateur et 0.16V pour le transistor nMOSFET.

En perspective, il sera très intéressant de compléter cette étude par simulation d'autres types de caractéristiques électriques du nMOSFET tel que le courant du transfert et le courant de sortie. L'objectif visé est de développer un modèle plus précis qui permettra une bonne prédiction de la concentration de porteurs (n_s) en fonction de la tension de grille (V_G) des composants MOS-HEMT. De plus, nous prévoyons d'étudier d'autres types de dégradation sur des dispositifs de petites tailles.

BIBLIOGRAPHIE

- [1] Sandrine Bernardini. *Modélisation des structures Metal-Oxyde-Semiconducteur (MOS) : Applications aux dispositifs mémoires*. PhD thesis, Université de Provence-Aix-Marseille I, 2004.
- [2] Katsuhisa Murakami, Mathias Rommel, Vasil Yanev, Tobias Erlbacher, Anton J Bauer, and Lothar Frey. A highly sensitive evaluation method for the determination of different current conduction mechanisms through dielectric layers. *Journal of Applied Physics*, 110(5) :054104, 2011.
- [3] TH Nouibat, Zitouni Messai, D Chikouch, Z Ouennoughi, N Rouag, Mathias Rommel, and Lothar Frey. Normalized differential conductance to study current conduction mechanisms in mos structures. *Microelectronics Reliability*, 91 :183–187, 2018.
- [4] Adelmo Ortiz-Conde, Andrea Sucre-González, Reydezel Torres-Torres, Joel Molina, Roberto S Murphy-Arteaga, and Francisco J García-Sánchez. Conductance-to-current-ratio-based parameter extraction in mos leakage current models. *IEEE Transactions on Electron Devices*, 63(10) :3844–3850, 2016.
- [5] Tarek CHENAF. *Etude des défauts d'interface Si/SiO₂ dans les TMOS : Simulation sous Silvaco et Modélisation*. PhD thesis, Université de Batna 2, 2016.
- [6] SM Sze. *Physics of semiconductor devices*, j. wiley & sons. *M. Sze Modern Semiconductor Device Physics Wiley&SonsK. Seeger Semiconductor*, 1981.
- [7] Louis Gerrer. *Impact du claquage progressif de l'oxyde sur le fonctionnement des composants et circuits élémentaires MOS : caractérisation et modélisation*. PhD thesis, Université de Grenoble, 2011.

- [8] Olivier Bonnaud. Physique des solides, des semiconducteurs et dispositifs. *Université de Rennes*, 1 :78, 2003.
- [9] Jérémy Holcman. *THESE DE DOCTORAT pour obtenir le grade de Docteur de l'Université Pierre et Marie Curie Cohérence temporelle d'un exciton sur un fil quantique organique unique*. PhD thesis, Université Pierre et Marie Curie (Paris VI), 2012.
- [10] Mathieu Henry and H Fanet. Physique des semi-conducteurs et des composants électroniques. *Dunod : Paris, France*, 2001.
- [11] Olivier Fruchier. *Etude du comportement de la charge d'espace dans les structures MOS. Vers une analyse du champ électrique interne par la méthode de l'onde thermique*. PhD thesis, Université Montpellier II-Sciences et Techniques du Languedoc, 2006.
- [12] Wai Kai Chen. *The electrical engineering handbook*. Elsevier, 2004.
- [13] SK Krawczyk, HM Przewłocki, and A Jakubowski. New ways to measure the work function difference in mos structures. *Revue de Physique Appliquée*, 17(8) :473–480, 1982.
- [14] Lionel Gérard. *Structures de semiconducteurs II-VI \tilde{A} alignement de bandes de type II pour le photovoltaïque*. PhD thesis, Université de Grenoble, 2013.
- [15] . Théorie de la capacité mos, 2022. http://montes.phelma.grenoble-inp.fr/microelec/tp_jope3a/theorie.htm., Last accessed on 2017-11-30.
- [16] Samar K Saha. *FinFET devices for VLSI circuits and systems*. CRC Press, 2020.
- [17] Slah Hlali, Neila Hizem, and Adel Kalboussi. High-k dielectric materials for the gate oxide of a mis capacitor : effect of interface states on the c-v characteristics. *Journal of Computational Electronics*, 15(4) :1340–1350, 2016.
- [18] Slah Hlali, Neila Hizem, Liviu Militaru, Adel Kalboussi, and Abdelkader Souifi. Effect of interface traps for ultra-thin high-k gate dielectric based mis devices on the capacitance-voltage characteristics. *Microelectronics reliability*, 75 :154–161, 2017.
- [19] Cristina Miccoli and Ferdinando Iucolano. Study of oxide trapping in sic mosfets by means of tcad simulations. *Materials Science in Semiconductor Processing*, 97 :40–43, 2019.
- [20] N o EINECS. Le pentacène est un composé chimique de formule c 22 h 14 appartenant à la famille des hydrocarbures aromatiques polycycliques et constitué de cinq noyaux benzéniques fusionnés linéairement.

- [21] M Tanenbaum. Bell labs notebook no. 25505. *January*, 26 :30, 1954.
- [22] Anonymus AC09447600. *Lessons from nanoscience : a lecture note series*. World Scientific, 2012.
- [23] L Becerra. *Hétérostructures et Dispositifs Microélectroniques À Base d'oxydes Highk préparés sur Silicium par EJM*. PhD thesis, Thèse, Ecole Centrale de Lyon, 2008.
- [24] Ilkka Tuomi. The lives and death of moore's law. *First Monday*, 2002.
- [25] A Baschiroto, P Delizia, S D'Amico, V Chironi, G Cocciolo, and M De Matteis. Low power analog design in scaled technologies. 2009.
- [26] Adelmo Ortiz-Conde. Evolution of mosfets toward nanoelectronics, 08 2022.
- [27] Gordon E Moore. No exponential is forever : but" forever" can be delayed ![semiconductor industry]. In *2003 IEEE International Solid-State Circuits Conference, 2003. Digest of Technical Papers. ISSCC.*, pages 20–23. IEEE, 2003.
- [28] Jeffrey T Macher, David C Mowery, and Timothy S Simcoe. e-business and disintegration of the semiconductor industry value chain. *Industry and Innovation*, 9(3) :155–181, 2002.
- [29] International Roadmap Committee et al. International technology roadmap for semiconductors, 2007 edition. *Executive Summary www. itrs. net (cited September 11, 2009)*, 2001.
- [30] JPI Urban Europe. Strategic research and innovation agenda 2.0. *JPI Urban Europe, Vienna*, 2019.
- [31] François Lémery. *Modélisation comportementale des circuits analogiques et mixtes*. PhD thesis, Institut National Polytechnique de Grenoble-INPG, 1995.
- [32] A Ortiz-Conde, Yuansheng Ma, J Thomson, E Santos, JJ Liou, FJ Garcia Sánchez, M Lei, J Finol, and P Layman. Direct extraction of semiconductor device parameters using lateral optimization method. *Solid-State Electronics*, 43(4) :845–848, 1999.
- [33] Terence Kane, Michael P Tenney, Andrew Erickson, and Peter Harris. Calibration of nanoprobe capacitance-voltage spectroscopy (ncvs). In *ISTFA 2008*, pages 204–208. ASM International, 2008.
- [34] Sasa Mileusnic, Milos Zivanov, and Predrag Habas. Mos transistors characterization by split cv method. In *2001 International Semiconductor Conference. CAS 2001 Proceedings (Cat. No. 01TH8547)*, volume 2, pages 503–506. IEEE, 2001.

- [35] . Introduction to mos capacitor, 2022. <https://vlab.amrita.edu/?sub=3&brch=110&sim=243&cnt=513>.
- [36] James Austin Walls. *Capacitance-voltage measurements : an expert system approach*. PhD thesis, University of Edinburgh, 1990.
- [37] Ian Grant McGillivray. Measurement of electrical parameters and trace impurity effects in mos capacitors. *KB thesis scanning project 2015*, 1987.
- [38] Mustafa Guvench. Automated measurement of mos capacitance and determination of mos process parameters in the micro fabrication laboratory. In *1997 Annual Conference*, pages 2–87, 1997.
- [39] GW Paterson, MC Holland, IG Thayne, and AR Long. Modeling and analysis of the admittance characteristics of n+ metal-oxide-semiconductor capacitors with oxide and interface states-gd0. 25ga0. 15o0. 6/ga2o3 on in0. 53ga0. 47as. *Journal of Applied Physics*, 111(7) :074109, 2012.
- [40] K McDonald, RA Weller, ST Pantelides, LC Feldman, GY Chung, CC Tin, and JR Williams. Characterization and modeling of the nitrogen passivation of interface traps in sio 2/4 h–sic. *Journal of Applied Physics*, 93(5) :2719–2722, 2003.
- [41] Soline Richard. *Modélisation Physique de la structure électronique, du transport et de l'ionisation par choc dans les matériaux IV-IV massifs, contraints et dans les puits quantiques*. PhD thesis, Université Paris Sud-Paris XI, 2004.
- [42] M Kuhn. A quasi-static technique for mos cv and surface state measurements. *Solid-State Electronics*, 13(6) :873–885, 1970.
- [43] Chandan Sarkar. *Technology computer aided design*. CRC Press, 2018.
- [44] Etienne Sicard and Lionel Trojman. Introducing 5-nm finfet technology in micro-wind. 2021.
- [45] Giovanni Betti Beneventi and Stefania Carapezzi. Lecture 6, metal-oxide-semiconductor field-effect-transistor (mosfet).
- [46] Armel-Petit Mebiene-Engohang. *Etude du dégazage des résines pour les lithographies électronique et extrême ultraviolet*. PhD thesis, Université Grenoble Alpes, 2015.
- [47] Anas Kanan, Aleksandr Vasilev, Cornelia Breitkopf, and Michael Kaliske. Thermo-electro-mechanical simulation of electro-active composites. *Materials*, 15(3) :783, 2022.

- [48] Juin Jei Liou, Adelmo Ortiz-Conde, and Francisco Garcia-Sanchez. *Analysis and design of MOSFETs : modeling, simulation, and parameter extraction*. Springer Science & Business Media, 1998.
- [49] Conor S Rafferty, Mark R Pinto, and Robert W Dutton. Iterative methods in semiconductor device simulation. *IEEE Transactions on Electron Devices*, 32(10) :2018–2027, 1985.
- [50] Mahmoud Shahram. Calibrating simulation tools for nanometer designs. *IEEE Spectrum*, 36(6) :77–82, 1999.
- [51] Irina Lysenko, Dmitry Zykov, Sergey Ishutkin, and Roman Meshcheryakov. The use of tcad in technology simulation for increasing the efficiency of semiconductor manufacturing. In *AIP Conference Proceedings*, volume 1772, page 060012. AIP Publishing LLC, 2016.
- [52] Emanuele Baravelli. Tcad approaches to multidimensional simulation of advanced semiconductor devices. 2008.
- [53] Vikas Velayudhan. *TCAD study of interface traps-related variability in ultra-scaled MOSFETs*. 2016.
- [54] Cem Bonfil. *The Drift Diffusion Simulation of Coupled Ionic-Electronic Devices*. PhD thesis, Carleton University, 2014.
- [55] Artemisia Tsiara. Simulation of nanoscale triple gate finfets, with tcad tools-a comparative study. Technical report, Aristotle University of Thessaloniki, 2015.
- [56] Davide Cagnoni. Parallel mixed-mode 3d-tcad simulation of power semiconductor devices. 2016.
- [57] Tanvir Hasan Morshed, W Yang, M Dunga, X Xi, J He, W Liu, M Kanyu, X Jin, J Ou, M Chan, et al. Bsim4 6.4 mosfet model users manual. *University of California : Berkeley, CA, USA*, pages 10–19, 2009.
- [58] Samar Saha. Design considerations for 25 nm mosfet devices. *Solid-State Electronics*, 45(10) :1851–1857, 2001.
- [59] Samar Kanti Saha. Method for forming channel-region doping profile for semiconductor device, November 27 2001. US Patent 6,323,520.
- [60] Fabien Prégaldiny. *Etude et modélisation du comportement électrique des transistors MOS fortement submicroniques*. PhD thesis, Université Louis Pasteur-Strasbourg I, 2003.

- [61] Ihsan Jahed Djomehri. *Comprehensive inverse modeling for the study of carrier transport models in sub-50nm MOSFETs*. PhD thesis, Massachusetts Institute of Technology, 2002.
- [62] Hasnaa Faik-Etienne. *Étude de l'implantation ionique dans les miroirs multicouches Mo/Si : application aux optiques diffractives*. PhD thesis, Institut National des Sciences Appliquées de Toulouse, 2005.
- [63] Christian Kampen. *Evaluation of CMOS architectures below 50 nm gate length by numerical simulations*. Friedrich-Alexander-Universitaet Erlangen-Nuernberg (Germany), 2011.
- [64] Chandan Sarkar. *Technology computer aided design*. CRC Press, 2018.
- [65] MS Obrecht. Software package for two-dimensional process and device simulation-microtec-3.02. user's manual. *Siborg, Waterloo, Can*, 1998.
- [66] Zhiping Yu, Datong Chen, Lydia So, Robert W Dutton, S Beebe, RJG Goossens, and F Rotella. Pisces-2et and its application subsystems. *Integrated Circuits laboratory*, 1994.
- [67] I Silvaco. Atlas user's manual device simulation software. *Santa Clara, CA*, 2010.
- [68] Karl Hess. *Monte Carlo device simulation : full band and beyond*, volume 144. Springer Science & Business Media, 2012.
- [69] . Devidit user's manual, 2006. <https://twiki.cern.ch/twiki/pub/Main/Devedit/DevEdit.pdf>, Last accessed on 2017-11-30.
- [70] Manasa Kotha. *Optically triggered thyristor for capacitor discharge applications*. PhD thesis, University of Missouri–Columbia, 2007.
- [71] Gary S May and Costas J Spanos. *Fundamentals of semiconductor manufacturing and process control*. John Wiley & Sons, 2006.
- [72] Gordon H Bradley, Gerald G Brown, and Panagiotis I Galatas. Athena : Users manual for interactive analysis of large-scale optimization models. Technical report, NAVAL POSTGRADUATE SCHOOL MONTEREY CA, 1980.
- [73] CHOW KIM POH. Nmos device optimization and fabrication using athena &. 2004.
- [74] Albena Paskaleva, Dencho Spassov, and Danijel Dankovic. Consideration of conduction mechanisms in high-k dielectric stacks as a tool to study electrically active defects. *Facta Universitatis. Series : Electronics and Energetics*, 30(4) :511–548, 2017.

- [75] Bing-Liang Yang, PT Lai, and Hei Wong. Conduction mechanisms in mos gate dielectric films. *Microelectronics Reliability*, 44(5) :709–718, 2004.
- [76] Fu-Chien Chiu. A review on conduction mechanisms in dielectric films. *Advances in Materials Science and Engineering*, 2014, 2014.
- [77] Janet L Downs. *DEFENSE COMMITTEE AND FINAL READING APPROVALS*. PhD thesis, Boise State University, 2011.
- [78] M Lenzlinger and EH Snow. Fowler-nordheim tunneling into thermally grown sio₂. *Journal of Applied physics*, 40(1) :278–283, 1969.
- [79] Ghader Darbandy, Jasmin Aghassi, Josef Sedlmeir, Udit Monga, Ivan Garduno, Antonio Cerdeira, and Benjamin Iniguez. Temperature dependent compact modeling of gate tunneling leakage current in double gate mosfets. *Solid-state electronics*, 81 :124–129, 2013.
- [80] Michel Depas, Bert Vermeire, PW Mertens, RL Van Meirhaeghe, and MM Heyns. Determination of tunnelling parameters in ultra-thin oxide layer poly-si/sio₂/si structures. *Solid-state electronics*, 38(8) :1465–1471, 1995.
- [81] Q Zhang, V Madangarli, and TS Sudarshan. Sic planar mos-schottky diode : A high voltage schottky diode with low leakage current. *Solid-State Electronics*, 45(7) :1085–1089, 2001.
- [82] Kuan Yew Cheong, Jeong Hyun Moon, Hyeong Joon Kim, Wook Bahng, and Nam-Kyun Kim. Current conduction mechanisms in atomic-layer-deposited hfo₂/nitrided sio₂ stacked gate on 4h silicon carbide. *Journal of Applied Physics*, 103(8) :084113, 2008.
- [83] Dieter K Schroder. *Semiconductor material and device characterization*. John Wiley & Sons, 2015.
- [84] S Fleischer, PT Lai, and YC Cheng. Simplified closed-form trap-assisted tunneling model applied to nitrided oxide dielectric capacitors. *Journal of applied physics*, 72(12) :5711–5715, 1992.
- [85] WR Harrell and J Frey. Observation of poole–frenkel effect saturation in sio₂ and other insulating films. *Thin solid films*, 352(1-2) :195–204, 1999.
- [86] J Frenkel. On pre-breakdown phenomena in insulators and electronic semi-conductors. *Physical Review*, 54(8) :647, 1938.

- [87] HH Poole. Viii. on the dielectric constant and electrical conductivity of mica in intense fields. *The London, Edinburgh, and Dublin Philosophical Magazine and Journal of Science*, 32(187) :112–129, 1916.
- [88] HH Poole. Xxiv. on the temperature variation of the electrical conductivity of mica. *The London, Edinburgh, and Dublin Philosophical Magazine and Journal of Science*, 34(201) :195–204, 1917.
- [89] Richard G Southwick, Justin Reed, Christopher Buu, Ross Butler, Gennadi Bersuker, and William B Knowlton. Limitations of poolefrenkel conduction in bilayer mos devices. *IEEE Transactions on Device and materials reliability*, 10(2) :201–207, 2009.
- [90] JR Yeagan and HL Taylor. The poole-frenkel effect with compensation present. *Journal of Applied Physics*, 39(12) :5600–5604, 1968.
- [91] Chun-Chen Yeh, TP Ma, Nirmal Ramaswamy, Noel Rocklein, Dan Gealy, Thomas Graettinger, and Kyu Min. Frenkel-poole trap energy extraction of atomic layer deposited al₂o₃ and hf x al y o thin films. *Applied Physics Letters*, 91(11) :113521, 2007.
- [92] Y Lu, Octavian Buiu, Steve Hall, Ivona Z Mitrovic, W Davey, RJ Potter, and Paul R Chalker. Tuneable electrical properties of hafnium aluminate gate dielectrics deposited by metal organic chemical vapour deposition. *Microelectronics Reliability*, 47(4-5) :722–725, 2007.
- [93] Shaohui Pan, Shi-Jin Ding, Yue Huang, Yu-Jian Huang, David Wei Zhang, Li-Kang Wang, and Ran Liu. High-temperature conduction behaviors of hfo₂/tan-based metal-insulator-metal capacitors. *Journal of Applied Physics*, 102(7) :073706, 2007.
- [94] Franck Mady. *Caractérisation et modélisation physique des processus radio-induits dans les fibres optiques en silice. Application À la description de l'atténuation radio induite*. PhD thesis, Université Côte d'Azur, 2020.
- [95] M Silver, P Mark, D Olness, W Helfrich, and RC Jarnagin. On the observation of transient space-charge-limited currents in insulators. *Journal of Applied Physics*, 33(10) :2988–2991, 1962.
- [96] Hamid Bentarzi. *Transport in metal-oxide-semiconductor structures : mobile ions effects on the oxide properties*. Springer Science & Business Media, 2011.

- [97] S Kar. A drain current-drain voltage relation for mosfets with high-k gate stacks. *ECS Transactions*, 41(3) :389, 2011.
- [98] Guido Groeseneken, Rudi Bellens, Geert Van den Bosch, and HE Maes. Hot-carrier degradation in submicrometre mosfets : From uniform injection towards the real operating conditions. *Semiconductor science and technology*, 10(9) :1208, 1995.
- [99] Simon Tam, Ping-Keung Ko, and Chenming Hu. Lucky-electron model of channel hot-electron injection in mosfet's. *IEEE transactions on electron devices*, 31(9) :1116–1125, 1984.
- [100] Manish Kumar Rai, Abhinav Gupta, and Sanjeev Rai. Comparative analysis & study of various leakage reduction techniques for short channel devices in junctionless transistors : A review and perspective. *Silicon*, pages 1–23, 2021.
- [101] ALI SADOUN et al. *Etude, simulation et caractérisation de structures MIS et diodes Schottky à base de GaN massif*. PhD thesis, 2021.
- [102] Belkhir Aounallah, Nouari Rouag, Zahir Ouennoughi, and Adelmo Ortiz-Conde. A new normalized direct conductance method for observation of poole-frenkel current. *Solid-State Electronics*, page 108387, 2022.
- [103] EH Nicollian and JR Brews. Mos physics and technology, chapter 11, 1982.
- [104] Jen-Yuan Cheng, Chiao-Ti Huang, and Jenn-Gwo Hwu. Comprehensive study on the deep depletion capacitance-voltage behavior for metal-oxide-semiconductor capacitor with ultrathin oxides. *Journal of Applied Physics*, 106(7) :074507, 2009.
- [105] Kuan-Ming Chen and Jenn-Gwo Hwu. Area dependent deep depletion behavior in the capacitance-voltage characteristics of metal-oxide-semiconductor structures with ultra-thin oxides. *Journal of Applied Physics*, 110(11) :114104, 2011.
- [106] Saatci Ayse Evrim et al. Conduction mechanism analysis of inversion current in mos tunnel diodes. *Materials Sciences and Applications*, 2013, 2013.
- [107] Athanasios Tsirimpis. *Investigation of Implanted Boron in 4H-SiC and Iron in 3C-SiC and Experimental/Theoretical Analysis of the Depletion Zone in 4H-SiC MOS Capacitors*. PhD thesis, Friedrich-Alexander-Universität Erlangen-Nürnberg (FAU), 2018.
- [108] A Goetzberger, E Klausmann, and MJ Schulz. Interface states on semiconductor/insulator surfaces. *Critical Reviews in Solid State and Material Sciences*, 6(1) :1–43, 1976.

- [109] TW Hickmott. Temperature-dependent fowler–nordheim tunneling and a compensation effect in anodized Al₂O₃/Au diodes. *Journal of applied physics*, 97(10) :104505, 2005.
- [110] Tony Ewert. *Advanced TCAD simulations and characterization of semiconductor devices*. PhD thesis, Acta Universitatis Upsaliensis, 2006.
- [111] James O Thomas, Bart Limburg, Jakub K Sowa, Kyle Willick, Jonathan Baugh, G Andrew D Briggs, Erik M Gauger, Harry L Anderson, and Jan A Mol. Understanding resonant charge transport through weakly coupled single-molecule junctions. *Nature communications*, 10(1) :1–9, 2019.
- [112] Yuan Taur and Tak H Ning. *Fundamentals of modern VLSI devices*. Cambridge university press, 2021.
- [113] Juin Jei Liou, Adelmo Ortiz-Conde, and Francisco Garcia-Sanchez. *Analysis and design of MOSFETs : modeling, simulation, and parameter extraction*. Springer Science & Business Media, 1998.
- [114] Yuhua Cheng and Chenming Hu. Significant physical effects in modern mosfets. *MOSFET Modeling and BSIM3 User's Guide*, pages 13–64, 2002.
- [115] Oana Moldovan et al. *Development of Compact Small Signal Quasi Static Models for Multiple Gate Mosfets*. PhD thesis, Universitat Rovira i Virgili, 2008.
- [116] Keyur K Gandhi, Ahmed Nejm, Michail J Beliatis, Christopher A Mills, Simon J Henley, and S Ravi P Silva. Simultaneous optical and electrical modeling of plasmonic light trapping in thin-film amorphous silicon photovoltaic devices. *Journal of Photonics for Energy*, 5(1) :057007, 2015.
- [117] John W Orton. *The story of semiconductors*. OUP Oxford, 2008.
- [118] Nam-Kyun Tak, Jin-Young Kim, Ji-Ung Han, In-Chol Choi, Won-Seok Lee, and Man-Gyu Hwang. P-23 : Simulation calibration procedure of leakage current in tfts. In *SID Symposium Digest of Technical Papers*, volume 46, pages 1201–1204. Wiley Online Library, 2015.
- [119] Maciej Matys, Bogusława Adamowicz, Yujin Hori, and Tamotsu Hashizume. Direct measurement of donor-like interface state density and energy distribution at insulator/AlGaN interface in metal/Al₂O₃/AlGaN/GaN by photocapacitance method. *Applied Physics Letters*, 103(2) :021603, 2013.

- [120] Koen Martens. Electrical characterization and modeling of ge/iii-v-dielectric interfaces (elektrische karakterisering en modellering van germanium iii-v diëlektricum grensvlakken). 2009.
- [121] Yutao Ma, Litian Liu, Zhiping Yu, and Zhijian Li. On the degeneracy of quantized inversion layer in mos structures. *Solid-State Electronics*, 44(11) :1925–1929, 2000.
- [122] Yong-Bin Kim. Challenges for nanoscale mosfets and emerging nanoelectronics. *Transactions on Electrical and Electronic Materials*, 11(3) :93–105, 2010.
- [123] Sunderraj Thirupapuliyur, Amir Al-Bayati, Amitabh Jain, and Abhilash Mayur. Angled implants for controlling gate–source/drain extension : A tcad modeling study. *Nuclear Instruments and Methods in Physics Research Section B : Beam Interactions with Materials and Atoms*, 237(1-2) :98–101, 2005.
- [124] N Konofaos, EK Evangelou, X Aslanoglou, M Kokkoris, and R Vlastou. Dielectric properties of cvd grown sion thin films on si for mos microelectronic devices. *Semiconductor science and technology*, 19(1) :50, 2003.
- [125] V Godinho, VN Denisov, BN Mavrin, NN Novikova, EA Vinogradov, VA Yakovlev, C Fernández-Ramos, MC Jiménez de Haro, and A Fernández. Vibrational spectroscopy characterization of magnetron sputtered silicon oxide and silicon oxynitride films. *Applied surface science*, 256(1) :156–164, 2009.
- [126] Qiuping Huang, Bincheng Li, and Weidong Gao. Characterization of arsenic ultra-shallow junctions in silicon using photocarrier radiometry and spectroscopic ellipsometry. *International Journal of Thermophysics*, 33(10) :2082–2088, 2012.
- [127] Norikatsu TAKAURA, Ryo NAGAI, Hisao ASAKURA, Satoru YAMADA, and Shin'ichiro KIMURA. Athena user's manual 2d process simulation software athena user's manual 2d process simulation software, 1996. *IEICE transactions on electronics*, 85(5) :1138–1145, 2002.
- [128] Ling-Feng Mao. Investigating the effects of the interface defects on the gate leakage current in mosfets. *Applied surface science*, 254(20) :6628–6632, 2008.
- [129] Xin Guo and TP Ma. Tunneling leakage current in oxynitride : Dependence on oxygen/nitrogen content. *IEEE Electron Device Letters*, 19(6) :207–209, 1998.
- [130] Mitsuhiro Togo, Koji Watanabe, Toyoji Yamamoto, Nobuyuki Ikarashi, Toru Tsumi, Haruhiko Ono, and Tohru Mogami. Electrical properties of 1.5-nm sion

- gate-dielectric using radical oxygen and radical nitrogen. *IEEE Transactions on Electron Devices*, 49(11) :1903–1909, 2002.
- [131] N Rouag, Zahir Ouennoughi, Mathias Rommel, Katsuhisa Murakami, and Lothar Frey. Current conduction mechanism of mis devices using multidimensional minimization system program. *Microelectronics Reliability*, 55(7) :1028–1034, 2015.
- [132] Douglas C Montgomery. *Design and analysis of experiments*. John wiley & sons, 2017.
- [133] Mohamed Yehya Doghish and Fat Duen Ho. A comprehensive analytical model for metal-insulator-semiconductor (mis) devices. *IEEE transactions on electron devices*, 39(12) :2771–2780, 1992.
- [134] Juan C Ranuárez, M Jamal Deen, and Chih-Hung Chen. A review of gate tunneling current in mos devices. *Microelectronics reliability*, 46(12) :1939–1956, 2006.
- [135] Hei Wong. *Nano-CMOS gate dielectric engineering*. Crc Press, 2011.
- [136] Fu-Chien Chiu. A review on conduction mechanisms in dielectric films. *Advances in Materials Science and Engineering*, 2014, 2014.
- [137] MV Fischetti, SE Laux, and DJ DiMaria. The physics of hot-electron degradation of si mosfet's : Can we understand it? *Applied Surface Science*, 39(1-4) :578–596, 1989.
- [138] MV Fischetti, SE Laux, and W Lee. Monte carlo simulation of hot-carrier transport in real semiconductor devices. *Solid-state electronics*, 32(12) :1723–1729, 1989.
- [139] James E Chung, M-C Jeng, James E Moon, P-K Ko, and Chenming Hu. Low-voltage hot-electron currents and degradation in deep-submicrometer mosfets. *IEEE Transactions on electron devices*, 37(7) :1651–1657, 1990.
- [140] Lin Fan, Arnold Knott, and Ivan Harald Holger Jorgensen. Nonlinear parasitic capacitance modelling of high voltage power mosfets in partial soi process. *Elektronika ir Elektrotechnika*, 22(3) :37–43, 2016.
- [141] JA Salcedo, A Ortiz-Conde, EJG Sanchez, J Muci, JJ Liou, and Y Yue. New approach for defining the threshold voltage of mosfets. *IEEE Transactions on Electron Devices*, 48(4) :809–813, 2001.

ANNEXE A

Annexe 1: Simulation des caractéristiques électriques du condensateur MOS

```
go athena

set T_Lumin=0

##### initialize the mesh
#####

mesh

line x loc=-0.5 spac=0.02

line x loc=0 spac=0.02

line y loc=-0.3225 spac=0.01

line y loc=0 spac=0.01

line y loc=0.05 spac=0.01

line y loc=0.1 spac=0.01

line y loc=0.2 spac=0.01

##### initialize p-type Si substrate
#####

init silicon boron resistivity=3orientation=100

implant phos energy=70 dose=1e15 tilt=0 gauss

extract name="doping" 2d.max.conc impurity="Net Doping" material="Silicon" y.min=-0.3225
y.max=1 x.min=-0.5 x.max=0.5

##### oxidation
#####

method fermi compress

diffuse time=30 temperature=900 dryo2

##### Dry etching
#####

rate.etch machine=etch oxide a.s rie isotropic=5.0

etch machine=etch time=16.19 second dx.mult=0.5

extract name="tunnelox" thickness oxide mat.occno=1 x.val=0
```

```
deposit name.resist=AZ1350J thick=0.32 divisions=30
#
structure outfile=mos_murakami_0.str
#
# Aerial image calculation
#
illumination g.line
#
illum.filter clear.fil square sigma=0.5
#
projection na=.54
#
pupil.filter clear.fil square
#
layout lay.clear x.lo=-0.5 z.lo=-0.5 x.hi=0 z.hi=0.5 phase=90. trans=1.
image win.x.lo=-0.5 win.x.hi=0 win.z.lo=0 win.z.hi=0 dx=0.01 n.pupil=2
#
structure outfile=mos_murakami_0_int1.str intensity mask
#
# Resist exposure
#
expose dose=150 num.refl=10
#
# Post exposure bake
#
bake time=60 seconds temp=115
#
```

```
# Resist Development
#
develop mack time=30 steps=4 substeps=30
#
structure outfile=mos_murakami_0_1.str
#
# Run image, exposure and development without phase shift outriggers
#
initialize infile=mos_murakami_0.str
#
layout lay.clear x.lo=-0.5 z.lo=-0.5 x.hi=0 z.hi=0.5 phase=90. trans=1.
#
image win.x.lo=-0.5 win.x.hi=0 win.z.lo=0 win.z.hi=0.5 dx=0.01 n.pupil=2
#
structure outfile=mos_murakami_0_int2.str intensity mask
#
# Resist exposure
#
expose dose=150 num.refl=10
#
# Post exposure bake
#
bake time=45 seconds temp=115
#
# Resist Development
#
develop mack time=30 steps=4 substeps=30
```



```
#
structure outfile=mos_murakami_0_2.str
#
#tonyplot mos_murakami_0.str
#tonyplot mos_murakami_0_int1.str
#tonyplot mos_murakami_0_1.str
#tonyplot mos_murakami_0_int2.str
#tonyplot mos_murakami_0_2.str
##### deposit TiN
#####
rate.depo machine=SputteringTi Titanium n.m sigma.dep=0.80 uni dep.rate=20 angle1=60
deposit machine=SputteringTi time=2.6805 minutes
method fermi compress
diffus time=30 minutes temp=800 nitro
extract name="titanium" thickness titanium mat.ocno=1
##### deposit Al
#####
rate.depo machine=SputteringAl Aluminum n.m sigma.dep=0.80 uni dep.rate=30 angle1=60
deposit machine=SputteringAl time=26.805 minutes
extract name="aluminum" thickness aluminum mat.ocno=1
#####lithography
#####
etch name.resist=AZ1350J
etch aluminum left p1.x=-0.5
etch aluminum right p1.x=0.5
etch titanium right p1.x=0.5
etch titanium left p1.x=-0.5
```

```
##### annealing
#####

diff time=30 temp=703 dry

# Extract another design parameters...

# extract final S/D Xj...

extract name="nxj" xj silicon mat.occno=1 x.val=0 junc.occno=1

# extract the long chan Vt...

extract name="n1dvt" 1dvt ntype vb=0.45 qss=1e11 x.val=0

# extract a curve of conductance versus bias...

extract start material="titanium" mat.occno=1 bias=0.45 bias.step=0.1 bias.stop=10.05 x.val=0

extract done name="sheet cond v bias" curve(bias,1dn.conduct material="Silicon" mat.occno=1
region.occno=1) outfile="extract.dat"

#tonyplot "extract.dat"

# extract the N++ regions sheet resistance...

extract name="n++ sheet rho" sheet.res material="Silicon" mat.occno=1 x.val=0 region.occno=1

# extract the sheet rho under the spacer, of the LDD region...

extract name="ldd sheet rho" sheet.res material="Silicon" mat.occno=1 x.val=0 region.occno=1

# extract the surface conc under the channel...

extract name="chan surf conc" surf.conc impurity="Net Doping" material="Silicon" mat.occno=1
x.val=0

##### electrodes
#####

structure mirror

electrode name=gate x=0

electrode name=substrate backside

##### tonyplot structure
#####

structure outfile=mos_murakami1.str

#tonyplot mos_murakami1.str
```

```
##### deposit TiN
#####

rate.depo machine=SputteringTi Titanium n.m sigma.dep=0.80 uni dep.rate=20 angle1=60

deposit machine=SputteringTi time=2.6805 minutes

method fermi compress

diffus time=30 minutes temp=800 nitro

extract name="titanium" thickness titanium mat.occno=1

##### deposit Al
#####

rate.depo machine=SputteringAl Aluminum n.m sigma.dep=0.80 uni dep.rate=30 angle1=60

deposit machine=SputteringAl time=26.805 minutes

extract name="aluminum" thickness aluminum mat.occno=1

#####lithography
#####

etch name.resist=AZ1350J

etch aluminum left p1.x=-0.5

etch aluminum right p1.x=0.5

etch titanium right p1.x=0.5

etch titanium left p1.x=-0.5

diff time=30 temp=703 dry

# Extract another design parameters...

# extract final S/D Xj...

extract name="nxj" xj silicon mat.occno=1 x.val=0 junc.occno=1

# extract the long chan Vt...

extract name="n1dvt" 1dvt ntype vb=0.45 qss=1e11 x.val=0

# extract a curve of conductance versus bias...

extract start material="titanium" mat.occno=1 bias=0.45 bias.step=0.1 bias.stop=10.05 x.val=0

extract done name="sheet cond v bias" curve(bias,1dn.conduct material="Silicon" mat.occno=1
```

```
structure mirror
electrode name=gate x=0
electrode name=substrate backside
go atlas
mesh width=1e4 infile=mos_murakami1.str
contact name=gate work=4.693
contact name=substrate
DEFECTS NTA=1.12E21 NTD=4.E20 WTA=0.025 WTD=0.05 \
  NGA=5.E17 NGD=3E16 EGA=0.4 EGD=0.4 \
  wGA=0.1 WGD=0.1 SIGTAE=1.E-16 \
  SIGTAH=1.E-14 SIGTDE=1E-14 \
  SIGTDH=1.E-16 SIGGAE=1.E-16 SIGGAH=1.E-14 \
  SIGGDE=1.E-14 SIGGDH=1.E-16
inttrap e.level=1 donor density=3.8e16 degen=1 sign=1e-14 sigp=1e-14
interface qf=3e10
models BB.A = 8.00e20 BB.B = 1.76e7 BB.GAMMA= 2.5 bbt.kl inject F.AH=0.1071E-5
F.BH=2.3817752E8 hhi FNHOLES \
ig.eb0=3.21 trap.coulombic print temperature=300
method newton trap
beam num=1 x.origin=0 y.origin=-0.65 angle=90.0 wavelength=0.623 rays=101 gaussian mean=0
xsigma=0.25
probe name=inten beam=$T_Lumin intensity
solve init
output con.band val.band traps.ft
solve b1=$T_Lumin
solve vgate=-23.05 vstep=0.5 vfinal=23.05 name=gate b1=$T_Lumin ac freq=1e6
tonyplot Dark2_IV.log
quit
```

Annexe 2: Simulation des caractéristiques électriques du MOSFET N

```
##### ATHENA

go Athena

line x loc=0 spac=0.001

line x loc=0.06 spac=0.002

line x loc=0.065 spac=0.001

line x loc=0.07 spac=0.003

line y loc=0.0 spac=0.05

line y loc=0.25 spac=0.05

struct outfile=nmosfet_npf.str

init silicon orientation=100 c.boron=1.25e15 two.d

deposit oxide thick=0.02 divisions=10

etch oxide start x=0.035 y=-0.02

etch cont x=0.0 y=-0.02

etch cont x=0.0 y=0

etch done x=0.035 y=0

deposit nitride thick=0.02 divisions=12

implant boron dose=5e14 energy=10 tilt=7 rotation=30 crystal pearson

etch all nitride

etch all oxide

rate.depo machine=ALD oxynitride a.s smooth.win=0.01 smooth.step=1 cvd dep.rate=0.1 step.cov=1

deposit machine=ALD time=250 seconds n.particle=1000 c.fraction=0.01 f.fraction=1

deposit oxynitride thick=0.0025 divisions=2

extract name="gateox" thickness oxynitride mat.ocno=1 x.val=0.05

deposit polysilicon thick=0.02divisions=8 c.phos=1e20

etch poly left p1.x=0.055
```

```
etch oxynitride left p1.x=0.055
deposit oxide    thick=0.1
etch oxide start  x=0   y=-0.14
etch cont        x=0.055 y=-0.14
etch cont        x=0.055 y=-0.003
etch done        x=0   y=-0.003

implant phosphor dose=3.5e13 energy=9 tilt=7 rotation=27 crystal pearson unit.damage
dam.factor=1

etch oxide above p1.y=-0.035
deposit oxide    thick=0.02 divisions=10
etch oxide dry   thick=0.02
implant arsenic  dose=1e15 energy=4 tilt=7 crystal pearson
#implant arsenic dose=1e15 energy=4 tilt=7 bca n.ion=200000
method fermi compress
diffuse time=1   temp=600 t.final=1050 nitro
diffuse time=1   temp=1050 nitro
etch oxide above p1.y=-0.03
etch oxide left  p1.x=0.035
deposit cobalt thick=0.02 divisions=10
electrode name=gate x=0.00
electrode name=source x=0.05
electrode name=drain x=0.1
electrode name=substrate backside
save outfile=nmosfet_npf.str
tonyplot nmosfet_npf.str
go atlas
contact name=gate n.poly
material material=oxynitride permi=6.06
```

```
inttrap e.level=0.4 acceptor density=1e12 degen=1 sign=1e-14 sigp=1e-14
INTERFACE QF=8.83e12
models print cvt hei ig.eb0=2.57 temp=300
method carriers=2
output con.band val.band band.param hei impact ox.charge qss permittivity traps.ft \
traps u.trap recomb noise.all schottky qtunn.bbt REFR.INDEX devdeg e.mobility deltav=0
solve init
solve vdrain=0.05
save outf=nPF.str
solve vgate=-2 vstep=0.01 vfinal=2 name=gate ac freq=1E6
Tonyplot "Ig-Vg"
tonyplot nmosfet_npf.log

extract name="vt" (xintercept(maxslope(curve(abs(v."gate"),abs(i."drain"))))) -
abs(ave(v."drain"))/2.0)
```